

Requested Patent: JP58139460A
Title: READ-EXCLUSIVE MEMORY;
Abstracted Patent: JP58139460;
Publication Date: 1983-08-18;
Inventor(s): MENJIYU ATSUHIKO; others: 01;
Applicant(s): TOKYO SHIBAURA DENKI KK;
Application Number: JP19820022506 19820215;
Priority Number(s): ;
IPC Classification: H01L27/10; G11C17/06;
Equivalents:

ABSTRACT:

PURPOSE: To improve the reverse withstand voltage of a storage transistor without deterioration of the characteristics of a transistor for a peripheral circuit by reducing the base density of a transistor for a memory cell to a value smaller than that of the transistor for the peripheral circuit.

CONSTITUTION: An n type epitaxial layer 3 is superposed on a p type Si substrate 1 which has an n type buried layer 2, connected via an n type layer 31 to the layer 2, and a thermally oxidized film 61 is covered. Ions are selectively implanted to form p type bases 41, 42 and a connecting layer 43, and the impurity density of the layer 41 is reduced smaller than that of the layer 42. A CVD SiO₂ film 62 is covered, holes 51, 32 are opened, an n type doped polysilicon 7' is accumulated, an n type emitter 5 is formed, and a polysilicon fuse 7 is formed on a memory cell transistor. After a hole 44 is opened, metal wirings 8 are formed. According to this configuration, only the VEBO of the memory cell transistor is improved, no influence is affected to the various characteristics of the transistors of the peripheral circuit, reverse breakdown of the non-selected memory cell transistor is eliminated at the writing time, thereby obtaining an ROM having high reliability.

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—139460

⑬ Int. Cl.³
H 01 L 27/10
G 11 C 17/06

識別記号

庁内整理番号
6655—5F
6549—5B

⑭ 公開 昭和58年(1983)8月18日

発明の数 1
審査請求 未請求

(全 5 頁)

⑮ 読出専用記憶装置

⑯ 特 願 昭57—22506

⑰ 出 願 昭57(1982)2月15日

⑱ 発明者 毛受篤彦

川崎市幸区堀川町72番地東京芝
浦電気株式会社堀川町工場内

⑲ 発明者 斎藤伸二

川崎市幸区堀川町72番地東京芝
浦電気株式会社堀川町工場内

⑳ 出願人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

㉑ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

読出専用記憶装置

2. 特許請求の範囲

エミッタフォロア付きヒューズを記憶セルとする記憶セルアレイおよびメモリ周辺回路を有するバイポーラ型のプログラム可能な読出専用記憶装置において、記憶セル用のトランジスタの方が周辺回路用のトランジスタよりもベース遮断が少なくてエミッタ・ベース接合の逆耐圧が高くされて成ることを特徴とする読出専用記憶装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は半導体記憶装置、特にエミッタフォロア付きヒューズ(以下EFヒューズと称する)を記憶セルとして用いたバイポーラ型プログラム可能な読出専用記憶装置に関するものである。

〔発明の技術的背景〕

この種の読出専用記憶装置の記憶セルアレイ

およびメモリ周辺回路の一部を第1図に示す。記憶セルアレイ10は、説明の便宜上ここでは2本のワード線11、12および2本のビット線13、14のマトリクスの交点にEF付きヒューズ15を配置したものを示している。16～19はエミッタフォロアトランジスタであり、トランジスタ16、17はそれぞれのベースがワード線11に接続され、それぞれのコレクタが電源V(書き込み時にプログラム電圧V_p、読み出し時に通常電圧V_{ce}になる)に接続される。同様にトランジスタ18、19はそれぞれのベースがワード線12に接続され、それぞれのコレクタが上記電圧Vに接続される。

20はワード線11に接続されたドライバ回路であり、これはアドレスパッファから出力されたデコード入力信号D₁、D₂…をデコードする1対のダイオード21、22(簡単の為に他のデコード入力信号に接続される

ダイオードは省略した)とダイオード23の陽極側が一端が電源に接続された抵抗24およびワード線11を駆動するトランジスタ23のベースにつながり、ダイオード21の陽極が前記トランジスタ23のエミッタに接続されると共にワード線11に接続されたことより成る。このドライバ回路20は、前記記憶セルアレイ10へのデータ書き込み時に、電源Vがプログラム電圧 V_p (高電圧)になり、入力D1がハイレベル "H" になり、ダイオード21, 23がオフ、トランジスタ23がオンになってセルトランジスタのベース電流を供給し、入力D1が "H" からロウレベル "L" に戻るとダイオード21, 23がオン、トランジスタ23がオフになり、この "L" に戻るとときにトランジスタ23のチャージをダイオード21により引き抜くものである。

前述のカレントシンク回路26と同様に構成されている。

なお、前記記憶セルアレイ10におけるトランジスタ16～19、ヒューズ15はそれぞれたとえば第2図に示すような構造をしている。すなわち、第2図において、1はP型半導体基板、2は+埋込み層、3はN型エピタキシャル層、4はベース領域、5はエミッタ領域、6は表面酸化膜、7は多結晶シリコンよりなるヒューズ、8は金属配線であり、その他は図示を省略している。

而して、前記第1図の回路において、書き込み時にたとえばワード線11およびビット線13が選択され、他のワード線およびビット線は選択されていない場合について考察する。各トランジスタのベース・エミッタ間電圧および各ダイオードの順方向電圧降下を V_f 、トランジスタ23のコレクタ・エミッタ間飽和電圧を V_{CESAT} 、入力D1の "L" レベルを接地電位とすると、ワード線11の電位は $V_p - V_f$ 、ワード線

特開昭58-139460(2)

ドライバ回路20は、ワード線11に対応して設けられ、入力としてデコード出力D1が供給され、前述のドライバ回路20と同様に構成されている。

一方、26はカレントシンク回路であり、これは信号入力CE1が入力端に供給され、この入力端に図示極性で一端が接続されたツェナーダイオード27と、このツェナーダイオード27の他端に一端が接続された抵抗28と、この抵抗28の他端にベースが接続され、エミッタが接地され、コレクタが前記ビット線13に接続されたトランジスタ29と、このトランジスタ29のベースと接地端との間に接続された抵抗30とから成る。このカレントシンク回路26は、データ書き込み時に入力CE1が "H" になり、ツェナーダイオード27がオン、トランジスタ29がオンになって書き込み電流の通路を形成する。

カレントシンク回路26はビット線13に対応して設けられ、信号入力CE1が供給され、

12の電位は低電位 V_f 、ビット線13の電位は低電位 V_{CESAT} 、ビット線13は電気的にフローティング状態となる。この結果、トランジスタ16が選択されたことになり、このトランジスタ16のエミッタに接続されたヒューズ15に書き込みデータにしたがって書き込みが行なわれる。

一方、選択されていないワード線およびビット線の交点に配置されているトランジスタ(本例では19)は、エミッタ電位(ビット線13の電位)が $V_p - 2V_f$ 、ベース電位(ワード線11の電位)が V_f であるから、そのエミッタベース間に $V_p - 3V_f$ の逆方向電圧が加わる。

[背景技術の問題点]

上記のような逆方向電圧が加わるトランジスタ19のエミッタベース接合の逆耐圧 V_{BB0} が上記逆方向電圧 $V_p - 3V_f$ より小さいときには逆方向降伏が生じる。このときにはトランジスタ19のエミッタ・ベース接合の劣化や、第2図に示した表面酸化膜6の近傍にエレクトロンの注入が起こり、注入されたエレクトロンによる

なるという不都合が生ずる。

これとは反対に、ベース拡散層が浅い場合には、ベース領域 δ_1 の濃度が低いためインチスターを起こしてしまい、前述同様プログラム電圧 V_p に対して V_{ce0} が不足する。さらに、ベース濃度を下げることにより、ベース領域 δ_1 の直列抵抗が増加し、スイッチング適度に影響のあるカットオフ周波数 f_c の低下をきたす。

〔発明の目的〕

本発明は上記の事情に鑑みてなされたもので、周辺回路のトランジスタ特性を劣化させることなく、セルトランジスタのエミッタ・ベース接合の逆耐圧 V_{ce0} を高くし得る読み専用記憶装置を提供するものである。

〔発明の概要〕

すなわち本発明は、メモリセルトランジスタのベース領域の濃度と周辺回路トランジスタのベース領域の濃度を異ならせることによって、上記両トランジスタのエミッタ・ベース接合の逆耐圧 V_{ce0} を異ならせており、セルトランジス

タの V_{ce0} の方を周辺回路トランジスタの V_{ce0} よりも高くすることによって、セルトランジスタの劣化、破壊が防止され、しかも周辺回路トランジスタの特性の劣化が防止され、メモリ動作が支障なく行なわれるようになる。

〔発明の実施例〕

以下、本発明に係る読み専用記憶装置のセルトランジスタおよび周辺回路トランジスタの製造工程をそれぞれ対応して第3図(a)～(d)および第4図(a)～(d)を参照して説明する。

(1) 先ず p 型シリコン基板 1 に選択的に n^+ 埋込層 2 を形成した後、 n 型エピタキシャル層 3 を成長させる。その後、 n^+ コレクタ接続領域 4 を形成した後、前記 n 型エピタキシャル層 3 の主面上に約1000Åの熱酸化膜 6 を形成する(第3図a、第4図a参照)。

(2) 次いで、メモリセルトランジスタのベース領域 δ_1 となる部分にイオン注入法を用いてたとえば加速度 7.5 keV 、打込み量 $1 \times 10^{15}\text{ cm}^{-2}$ のガロンを注入した後、1000°Cで約60分

間熱処理を行なってメモリセルトランジスタのベース領域 δ_1 を形成する(第3図b参照)。その後、周辺回路トランジスタのベース領域 δ_2 となる部分にイオン注入法を用いてたとえば加速度 8.5 keV 、打込み量 $3 \times 10^{15}\text{ cm}^{-2}$ (注:前記メモリセルトランジスタの打込み量より多い)のガロンを注入した後、1000°Cで約30分間熱処理を施して周辺回路トランジスタのベース領域 δ_2 を形成する(第4図b)。

(3) 次いで、外部ベースコンタクト領域 δ_3 を上述同様にイオン注入法により形成した後、CVD(化学蒸着)法により SiO_2 を堆積、焼固めを行なった後、エミッタ拡散孔 5 およびコレクタコンタクト 3 を形成する。次いで、 n 型不純物を含んだ多結晶シリコン 7 をエミッタ拡散孔 5 およびコレクタコンタクト 3 に堆積し、エミッタ領域 δ を形成した後、セルトランジスタ上にポリシリコンヒューズ 8 を形成する。なお、セルトランジスタはそれぞれのコレクタに共通のコンタクト(図示せず)を形成

する(第3図e, 第4図e参照)。

(4) 次いで、ベースコンタクト14を開孔し、金属配線15を施す(第3図d, 第4図d参照)。

以上のように製造されたメモリセルトランジスタと周辺回路トランジスタとはベース漏度が異なっており、メモリセルトランジスタのベース漏度が周辺回路トランジスタのベース漏度よりも少なくなっている。そして、上記実施例では、メモリセルトランジスタの V_{BS0} が約10Vとなり、周辺回路トランジスタの V_{BS0} (約7V)と比較して大幅に改善されている。

〔発明の効果〕

上述したように本発明によれば、メモリセルトランジスタの V_{BS0} のみを向上させ、周辺回路トランジスタの各特性(V_{CEO} , V_{CEO} , h_{FE} , f_T)の最適値に影響を与えないでメモリ動作を遅くすることなく、書き込み時ににおいて選択されていないメモリセルトランジスタがエミッタ・ベース間で逆方向降伏することなく、したがってメモリセルトランジスタの劣化がなく、

特開昭58-139460(4)

信頼性の良いバイポーラ型の読出専用記憶装置を提供できる。

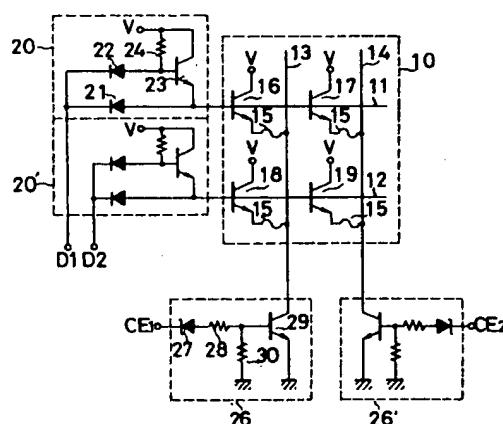
4. 図面の簡単な説明

第1図はバイポーラ型プログラム可能な読出専用記憶装置の記憶セルアレイおよび周辺回路の一部を示す回路図、第2図は第1図のエミッタフォロアートランジスタおよびヒューズを取出して示す構成図、第3図(a)～(d)および第4図(e)～(d)は本発明に係る読出専用記憶装置におけるメモリセルトランジスタおよび周辺回路トランジスタの製造工程における構造を示す図である。

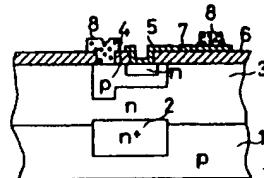
1…ベース領域、10…記憶セルアレイ、16～19, 23…トランジスタ、20, 20'…ドライバ回路。

出願人代理人弁理士鈴江武彦

第1図

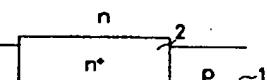


第2図

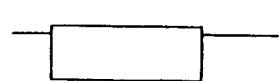


第3図

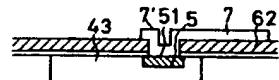
(a) 61 3



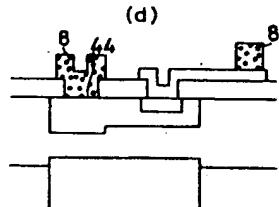
(b) 41



(c)



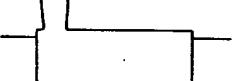
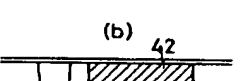
(d)



第4図

(b) 61 3

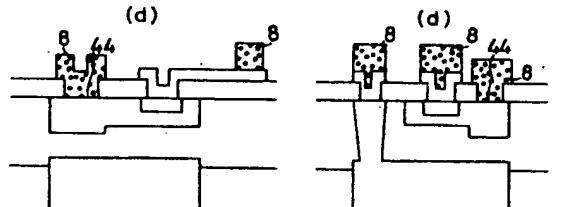
(b) 42



(c)



(d)



手 続 補 正 書(方式)

7. 補正の内容

昭和57年6月8日

図面の第4図を別紙図面に朱記して示すと
く訂正する。

特許庁長官 島田春樹 殿

1. 事件の表示

特願昭57-22506号

2. 発明の名称

読み専用記憶装置

3. 補正をする者

事件との関係 特許出願人

(307) 東京芝浦電気株式会社

4. 代理人

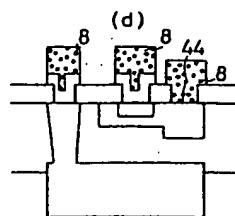
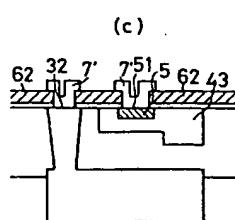
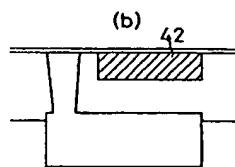
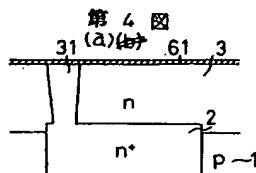
住所 東京都港区虎ノ門1丁目26番5号 第17森ビル
〒105 電話 03(502)3181(大代表)氏名(5847) 弁理士 鈴江武彦
印: 鈴江武彦

5. 補正命令の日付

昭和57年5月25日

6. 補正の対象

図面



Requested Patent: JP61187253A

Title: MANUFACTURE OF SEMICONDUCTOR DEVICE ;

Abstracted Patent: JP61187253 ;

Publication Date: 1986-08-20 ;

Inventor(s): SHOJI MASAHIKO ;

Applicant(s): NEC CORP ;

Application Number: JP19850027080 19850214 ;

Priority Number(s): ;

IPC Classification: H01L21/88 ;

Equivalents:

ABSTRACT:

PURPOSE: To prevent the damage of sections except a fuse and the generation of a stepped section after the fusion cutting of the fuse, and to eliminate anxiety on reliability even after the increase treatment of the resistance of the fuse by silicifying at least one part of a polycrystalline silicon wiring layer constituting a circuit element, removing a silicified section and increasing the electric resistance of the wiring layer.

CONSTITUTION: The fuse has a polycrystalline silicon wiring layer 1 formed onto a semiconductor substrate and connecting sections 4 at both ends, the surface of the polycrystalline silicon wiring layer 1 is tungsten-silicified, and the connecting windows 4 are connected electrically by aluminum wirings 3. The fuse A is shaped by a material manufactured by silicifying the surface of the polycrystalline silicon wiring layer, layer resistance thereof is controlled to approximately 300OMEGA/square through phosphorus- doping, by tungsten, and layer resistance extends over approximately 50OMEGA/square and the resistance value of fuse A itself approximately 500OMEGA. A level at a first step can be changed over as 'H' 'L' or 'L' 'H'. Accordingly, the fuse need not be fusion-cut completely because of the increase of the resistance of the fuse, and a semiconductor device is stabilized structurally and electrically even after the irradiation treatment of laser beams.

⑪ 公開特許公報 (A) 昭61-187253

⑤Int.Cl.⁴
H 01 L 21/88識別記号
厅内整理番号
6708-5F

⑩公開 昭和61年(1986)8月20日

審査請求 未請求 発明の数 1 (全4頁)

⑪発明の名称 半導体装置の製造方法

⑩特 願 昭60-27080
⑩出 願 昭60(1985)2月14日⑪発明者 庄司 雅彦 東京都港区芝5丁目33番1号 日本電気株式会社内
⑩出願人 日本電気株式会社 東京都港区芝5丁目33番1号
⑪代理人 弁理士 内原 晋

明細書

路素子を構成した半導体装置の製造方法に関する。

〔従来の技術〕

1. 発明の名称
半導体装置の製造方法

従来、回路素子の一部の高抵抗化により動作機能のプログラミングを行う半導体装置を構成する場合、高抵抗化の為の回路素子（以下、ヒューズと記す）を多結晶シリコン配線層で構成し、これを適当な電流の通電や、もしくは外部からのレーザビーム等のエネルギーbeam照射等の方法で加熱溶断し、高抵抗化を実現していた。しかし、この方法はヒューズを完全に溶断しなくてはならず、溶断に用いる電流やエネルギーbeamが周囲の層間形成層や他の回路素子等を破損する事があるほか、通常數千アンペア (A) の厚さをもつ多結晶シリコン配線層によるヒューズを溶断することで、溶断個所に半導体装置の信頼性上好ましくない段差が生じるなどの欠点があった。

2. 特許請求の範囲
(1)回路素子を構成する多結晶シリコン配線層が部分的シリサイド化され、前記シリサイド化された部分を除去して前記配線層を電気的に高抵抗化し、前記回路素子を所定の機能とすることを特徴とする半導体装置の製造方法。
(2)シリサイド化された部分を除去する方法として、エネルギーbeamを照射する方法が用いられることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明
〔産業上の利用分野〕
本発明は半導体装置の製造方法に係り、特にシリサイド化された多結晶シリコン配線層により回

〔発明が解決しようとする問題点〕

本発明の目的は、前記欠点を改善し、ヒューズの高抵抗化に際しての溶断処置を不要とする事で溶断時に生じていた半導体装置のヒューズ以外の

部分の破損や、信頼性上問題となるヒューズ溶断後の段部の発生を無くし、ヒューズ高抵抗化処置後も信頼性上不安の無いようした半導体装置の製造方法を提供することにある。

〔問題点を解決するための手段〕

本発明の半導体装置の製造方法の構成は、回路素子を構成する多結晶シリコン配線層の少なくとも一部分がシリサイド化され、前記シリサイド化された部分を除去して前記配線層を電気的に高抵抗化することにより、所定の機能を持たせることを特徴とする。

〔実施例〕

次に図面を参照しながら本発明を詳細に説明する。

第1図および第2図は本発明の実施例の半導体装置の製造方法で用いられるヒューズの平面図および断面図、第3図は第1図、第2図に示すヒューズを用いて構成したプログラミング回路の一部を示した回路図である。第3図におけるヒューズAは第1図、第2図に示すヒューズに対応する。

- 3 -

下“H”レベルと記す)と感じる様に半導体製造時にあらかじめ設定してあるので、このとき回路ブロックaの出力は低インピーダンス状態(以下“L”レベルと記す)である。

次に、回路プログラミングの必要から、回路ブロックbの初段を“H”レベルに切換える為、ヒューズAに上部からYAGレーザビームを照射し高抵抗化をはかる。即ち、レーザビームのもつエネルギーによりヒューズのシリサイド化された部分を除去する結果、ヒューズの層抵抗はシリサイド化以前の多結晶シリコンの層抵抗にほぼ戻るので、ヒューズAの抵抗は30kΩ程度にはね上がる。するとトランジスタQ₁、Q₂のゲート電位は、レーザ照射前の3Vに比して十分低い値、すなわち“L”レベルとなるので回路ブロックbの初段は“H”レベルとなって、回路プログラミングが実行される。

前記実施例のごとく、初段のレベルを“H”→“L”または“L”→“H”へ切替える事ができるから、従来の様に、ヒューズの高抵抗化の為に

- 5 -

第1図、第2図において、本ヒューズは、半導体基板上に設けられた多結晶シリコン配線層1と、両端の接続窓4とを有する。この多結晶シリコン配線層1の表面はタンクステン・シリサイド化される。接続窓4はアルミニウム配線3によって電気的に接続される。

第3図の回路動作を説明すると概ね次の様になる。第1図にも示したヒューズAはリン・ドープによって層抵抗約300Ω/□にコントロールされた多結晶シリコン配線層をタンクステンにより表面をシリサイド化したもので形成されており、層抵抗は約5Ω/□、ヒューズA自体の抵抗値は500Ω程度である。いま、電源V_{DD}、V_{SS}の電位はそれぞれ5V、0Vであるとする。初段のインバータを構成するトランジスタQ₁、Q₂のゲートは、ヒューズAを介して電源V_{DD}に吊られている為、ゲートの電位は3V程度である。P形チャネルトランジスタQ₁、N形チャネルトランジスタQ₂のしきい値電圧は、このときゲート電圧V_G(3V)を高インピーダンス状態(以

- 4 -

溶断する必要は全くなく、レーザビーム照射処置後も半導体装置は構造的、電気的に安定になる。これにより、信頼性を損なわずにヒューズによる回路プログラミングを施した半導体装置を提供できる。

本実施例では、多結晶シリコン配線層をタンクステン・シリサイド化したものと、スパッタアルミニウムによる金属配線層との2層配線プロセスを用いている。ヒューズAの形成に用いる多結晶シリコン層は、通常トランジスタのゲート電極や素子分離用酸化膜上において通常の配線として使用される。層の厚さは約5000Å内外が望ましく、これを成長した後配線抵抗を低減させるべく、リン拡散を1000°C程度の雰囲気中で行う。更にヒューズAのバーニングをトランジスタのゲート電極のそれらと同時に行う。

次に拡散層領域にP形、N形のソース、ドレイン領域を形成する為、前に形成したゲート電極によるセルフ・アライメント法を用いて不純物イオンの打込みを行う。1100°C程度の熱処理を施し、

- 6 -

適当な接合深度を得る。次に、タンクステンによるシリサイド処理を行うが、前処理として多結晶シリコン層の表面のみを選択的にシリサイド化する為、トランジスタのゲート電極や、多結晶シリコン層配線、およびソースドレイン領域上に1000Å程度の雰囲気中で酸化膜をつけた後、ゲート電極表面上の酸化膜のみを選択的にエッティング除去する。最後に、タンクステンを高周波スパッタ法により5000Å程付着させてシリサイド化が終了する。

この後は、通常の金属配線形成のプロセスと同様である。すなわち、シリサイド化多結晶シリコン配線層上に2000Å程度の層間形成膜をたいて成長させた後、この上に形成するアルミニウム配線と下の多結晶シリコン層配線や拡散層等とを接続すべく接続窓を適当なエッティング法により開孔する。最後にヒューズAやトランジスタQ₁、Q₂に至るアルミ配線を、高周波スパッタ法とドライエッティング法によるバーニングにより形成する。

本発明の実施例ではプログラミングを、半導体

- 7 -

っていたところをヒューズを熔断することなく高抵抗化が実現できる為、ビーム照射熔断時に起きていた他の素子や層間膜の破損を免れ、もって処置後の半導体装置が構造的、電気的に処置前に比して劣化せず安定し、しいては信頼性を落とすことなく、ヒューズによるプログラミングを施すことができるという効果が得られる。

4. 図面の簡単な説明

第1図は本発明の実施例の半導体装置の製造方法のヒューズを示す平面図、第2図は第1図の断面図、第3図は第1図に示すヒューズを用いたプログラミング回路図である。

尚図において、

1 ……多結晶シリコン配線層、2 ……多結晶シリコン表面のタンクステンシリサイド化された部分、3 ……アルミニウム配線、4 ……接続窓、
 V_{DD} 、 V_{SS} ……電源、a ……ヒューズを含むプログラミング回路初段ブロック、b ……プログラミング回路本体、Q₁ ……初段Pチャネルトランジスタ、Q₂ ……初段N形トランジスタ、A ……ヒューズ。

- 9 -

装置完成後に外部からレーザビーム照射によって行っているが、要は多結晶シリコン配線層表面のシリサイド化部分が除去できれば良く、その除去処理が半導体製造工程中に行なわれてもよい。この例としては、アルミ配線と下との接続窓開孔エッティングの処理を、シリサイド部分を除去すべきヒューズ上で行えば、エッティング条件さえ吟味すればシリサイド部の除去が前記開孔工程と同時に出来る事になる。また後天的に行なう場合も、レーザビーム照射に限定される事はなく、他の線源電子ビームや高出力X線を照射してもよい。また、本実施例でヒューズと呼んでいる部分は、例えばトランジスタのゲート電極そのものであっても何ら支障はない。シリサイドプロセスも、タンクステンに限定されることなく、MoやTiなど他の金属シリサイドプロセスであってかまわない。

〔発明の効果〕

本発明によれば以上説明したように、従来ヒューズを高抵抗化して回路プログラミングを行う場合、通電やレーザビーム照射による熔断処置に依

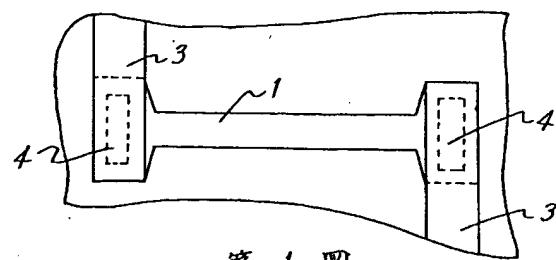
- 8 -

ジスタ、Q₂ ……初段N形トランジスタ、A ……ヒューズ。

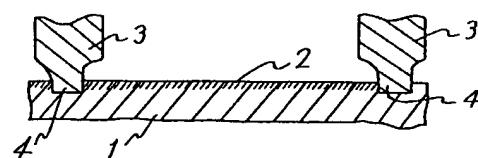
代理人 弁理士 内原 音



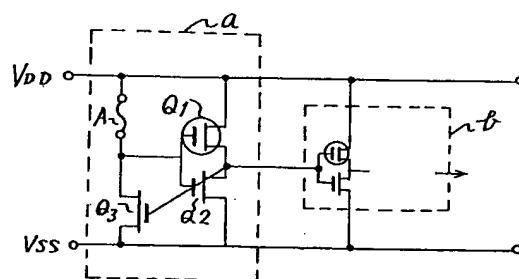
- 10 -



第1図



第2図



第3図

Requested Patent: JP63169041A
Title: MANUFACTURE OF SEMICONDUCTOR MEMORY CIRCUIT DEVICE ;
Abstracted Patent: JP63169041 ;
Publication Date: 1988-07-13 ;
Inventor(s): HIRAKAWA NOBORU ;
Applicant(s): NEC CORP ;
Application Number: JP19870000661 19870105 ;
Priority Number(s): ;
IPC Classification: H01L21/82 ; H01L21/88 ;
Equivalents:

ABSTRACT:

PURPOSE: To facilitate a cutting work of a fuse by forming a metal wiring layer in a 2-layer structure of low resistance wirings and phosphorus-doped polysilicon, removing upper low resistance wirings at the fuse, and allowing the polysilicon to remain to form the fuse of the polysilicon.

CONSTITUTION: A polysilicon film 13 is grown by a CVD method on an insulating film 12, and phosphorus is diffused. Then, low resistance metal wirings 14, such as molybdenum is grown, the wirings 14 and the film 13 are sequentially etched by a photoetching method to form a metal wiring layer in a 2-layer structure. Then, the photoresist 16 of a fuse forming part is removed by a photoetching method, an insulating film 15 is removed by etching to expose the wirings 14 of the metal wiring layer of the 2-layer structure and the film 13. Then, the wirings 14 of the metal wiring layer is etched, the photoresist 16 is removed, and the fuse of a fuse opening 17 is formed of the film 13. Thus, the cutting work of the fuse can be facilitated.

いた。

第4図はこの種のポリシリコン・ヒューズを示す断面図である。同図において、半導体基板31 上に、第1の絶縁膜32、リンドープされたポリシリコン配線33、第2の絶縁膜34が形成され、この絶縁膜34の所定位置にヒューズ開孔部35が設けられている。ヒューズの切断には、レーザーを照射、あるいは電気的に電流を流して、ポリシリコンを溶融させて切断する方法が一般的に行なわれている。しかし、最近のデバイスでは配線の低抵抗化の為、配線がシリサイドあるいはポリガイドに変わってきている。

〔発明が解決しようとする問題点〕

前述した従来のヒューズは、低抵抗のシリサイドあるいはポリサイド配線で作られるので、このヒューズを電気的に切断する場合は、電流を従来より過度に流しても良好な切断が出来なかったり、またレーザー照射の場合でもポリサイド配線では2層構造の為、切断の条件設定が難しく、かつ下地にダメージを与えてしまう等の欠点があった。

第2図(a)、(b)、(c)は第1図の半導体基板が製造されるまでの工程をA-A'線に沿って切断したところで見た断面図である。まず、第2図(a)の上に、絶縁膜12上に、ポリシリコン膜13を約 2000 \AA CVD法等を用いて成長し、リンを拡散する。その後、低抵抗金属配線14、例えばモリブデンを約 3000 \AA 成長する。その後、写真食刻法を用いて、低抵抗金属配線14、ポリシリコン膜13を順次エッティングして、第1図の金属配線膜1を2層構造で形成する。

次いで、第2図(b)のように、全面に絶縁膜15を約 5000 \AA 成長する。この絶縁膜15は、図示はしていないがこの後の上位の配線層との間の隔間膜として使用するものをそのまま使用することも出来る。

次に、写真食刻法により、ヒューズ予定部のフォトレジスト16を除去し、絶縁膜15をエッティングにより除去し、2層構造の金属配線層の配線14、ポリシリコン膜13を露出させる。

次いで、第2図(c)のように、金属配線層の低抵抗

本発明の目的は、前記問題点が解決され、ヒューズの切断作業が容易に行なえるようにした半導体記憶回路装置の製造方法を提供することにある。

〔問題点を解決するための手段〕

本発明の半導体記憶回路装置の製造方法の構成は、上部に低抵抗金属、下部にリンドープのポリシリコン膜の2層構造で金属配線を形成する工程と、絶縁膜を形成する工程と、写真食刻法により前記絶縁膜の一部を除去し前記金属配線を露出させる工程と、前記金属配線の上部の低抵抗金属を除去し、下部のリンドープポリシリコン膜でヒューズを形成する工程とを含むことを特徴とする。

〔実施例〕

次に本発明について図面を参照して詳細に説明する。

第1図は本発明の一実施例の半導体記憶回路装置の製造方法で製造された半導体基板を示す平面図である。同図において、2層構造配線1と、ヒューズ部配線2と、ヒューズの絶縁膜開孔部3とが示されている。

抗抽出配線14をエッティングして、フォトレジスト16を除去して、ヒューズ開孔部17のヒューズ部をポリシリコン膜13で形成出来る。この工程は、フォトレジスト16を除去した後に、金属配線の低抵抗金属配線14をエッティングしても良い。これ以後の工程は、図示していないが、従来のポリシリコンヒューズと同じに形成する。

本実施例では、低抵抗金属配線をモリブデンで行ったが、タンクステンやチタン等の高融点金属あるいはそのシリサイドでも、同様の効果がある。

第3図は本発明の他の実施例の半導体記憶回路装置の製造方法を示す断面図である。同図において、リンドープポリシリコン膜23と、アルミニウム配線24と、絶縁膜(カバー膜も兼ねている)25と、カバー膜26とが示されている。本実施例の装置は、従来と同様の方法を用いて、下地のデバイスを形成し、アルミニウム配線形成前まで作った後、アルミニウム配線の代わりにポリシリコン膜23を約 2000 \AA 成長し、拡散等によりリンをドープする。その後、アルミニウム配線24

を成長し、写真食刻法により、アルミニウム配線24、ポリシリコン膜23の間にエッティングして、配線槽を形成する。

次いで、カバー膜を兼ねた絶縁膜25を成長する。その後、写真食刻法により、ヒューズ部の絶縁膜25をエッティングにより除去し、アルミニウム配線24を露出させた後、このアルミニウム配線部をエッティングにより除去して、ポリシリコン膜23によるヒューズを得る。その後、デバイス保護の為のカバー膜26を成長し、バターンニングする。

〔発明の効果〕

以上説明したように、本発明は、金属配線層を低抵抗配線とリンドープポリシリコンの2層構造にする事及びヒューズ部で上側の低抵抗配線を除去し、リンドープポリシリコンのみを残すことにより、配線抵抗が低くなった場合でも、従来と同じポリシリコンによるヒューズを形成出来、金属配線がアルミニウムの時でも同様にポリシリコンによるヒューズを形成出来、もって切断作業が容易に行なえ

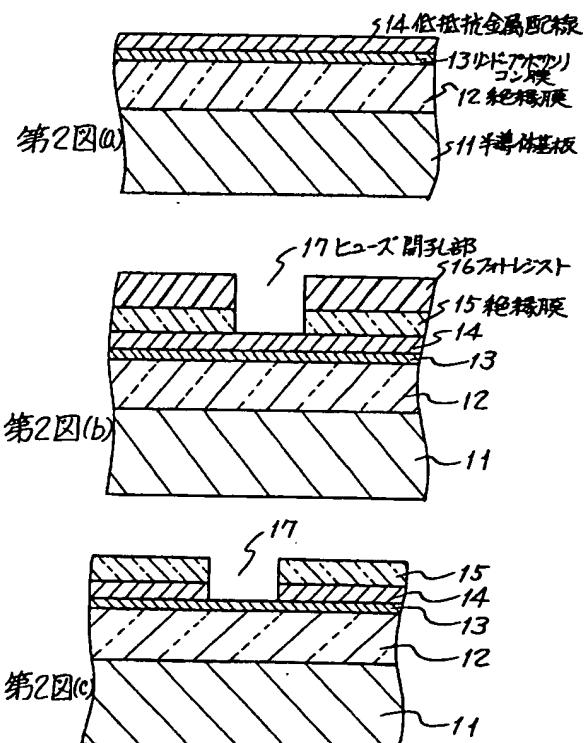
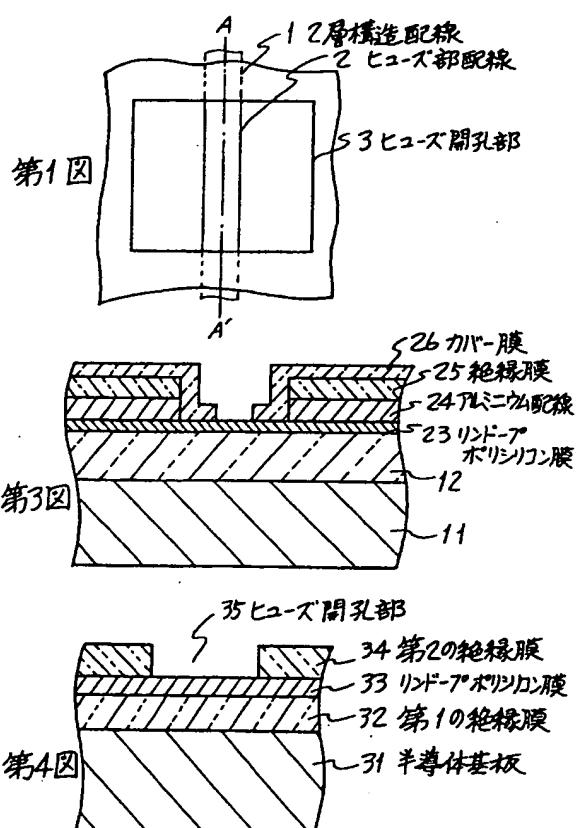
る効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例の半導体記憶回路装置の製造方法で製造された半導体基板を示す平面図、第2図(a)、(b)、(c)は第1図の半導体基板が製造されるまでの順次工程をA-A'線に沿って切削したところで見た断面図、第3図は本発明の他の実施例の半導体記憶回路装置の製造方法を示す平面図、第4図は従来のポリシリコン・ヒューズを示す断面図である。

1 …… 2層構造配線、2 …… ヒューズ部配線、
3 …… ヒューズ開孔部、11, 31 …… 半導体基板、12, 15, 25, 32, 34 …… 絶縁膜、
13, 23, 33 …… リンドープポリシリコン膜、
14 …… 低抵抗金属配線、16 …… フォトレジスト、
17, 35 …… ヒューズ開孔部、24 …… アルミニウム配線、26 …… カバー膜。

代理人弁理士内原晋



Requested Patent: JP7273205A

Title: REDUNDANT FUSE AND ITS MANUFACTURE ;

Abstracted Patent: JP7273205 ;

Publication Date: 1995-10-20 ;

Inventor(s): YANO TAKASHI; others: 01 ;

Applicant(s): MATSUSHITA ELECTRON CORP ;

Application Number: JP19940060885 19940330 ;

Priority Number(s): ;

IPC Classification: H01L21/82 ;

Equivalents:

ABSTRACT:

PURPOSE: To enable a semiconductor memory to be prevented from deteriorating in a redundancy relief rate and improved in yield.

CONSTITUTION: A polysilicon gate electrode 3 which is not electrically connected is provided to serve as a dummy wiring. A polycide wiring formed of two-layered film composed of a tungsten silicide film 8 and a phosphorus-doped polysilicon film 7 is provided to a space between the polysilicon gate electrodes 3 as a redundant fuse wiring. Two or more these redundant fuse wiring and dummy wiring (polycide wiring) are provided respectively.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-273205

(43)公開日 平成7年(1995)10月20日

(51)Int.Cl.⁶

H 01 L 21/82

識別記号

序内整理番号

F I

技術表示箇所

H 01 L 21/ 82

R

F

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21)出願番号 特願平6-60885

(22)出願日 平成6年(1994)3月30日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 矢野 尚

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 内田 博文

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

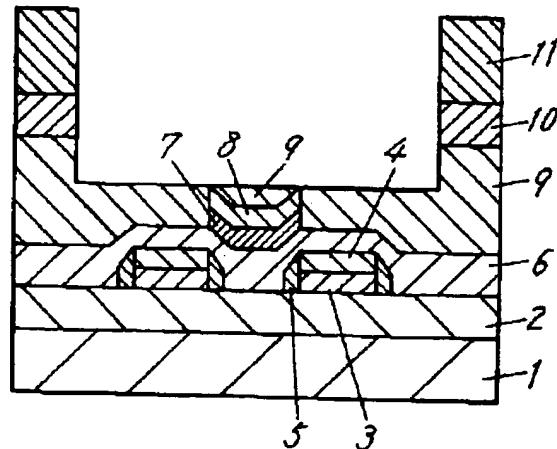
(74)代理人 弁理士 小鍛治 明 (外2名)

(54)【発明の名称】冗長ヒューズおよびその製造方法

(57)【要約】

【目的】冗長救済率の低下を防止し、半導体メモリーの歩留りを向上させる。

【構成】電気的に接続されていないポリシリコンゲート電極3をダミー配線として設けた。そのポリシリコンゲート電極3のスペース部に、タンクスチタンシリサイド膜8とリンドーブドポリシリコン膜7の二層膜で構成されたポリサイド配線を、冗長用ヒューズ配線として設置した。これら冗長ヒューズ配線(ポリサイド配線)およびダミー配線は、それぞれ複数本設置される。



1

【特許請求の範囲】

【請求項1】 複数のダミー配線と、前記ダミー配線間に形成されたスペース部と、前記スペース部の上部に形成された冗長用ヒューズ配線とを備えたことを特徴とする冗長ヒューズ。

【請求項2】 ダミー配線と、前記ダミー配線上に形成されたコンタクトホールと、前記コンタクトホール上に形成された冗長用ヒューズ配線とを備えたことを特徴とする冗長ヒューズ。

【請求項3】 前記冗長用ヒューズ配線の配線幅が0.7 μ m以上であることを特徴とする請求項1または2記載の冗長ヒューズ。

【請求項4】 前記冗長用ヒューズ配線上に、酸化珪素膜およびボロンリン珪酸ガラス膜の二層で構成された絶縁膜が形成されていることを特徴とする請求項1または2記載の冗長ヒューズ。

【請求項5】 冗長ヒューズ部とボンディングパッド部を形成する工程と、前記冗長ヒューズ部とボンディングパッド部上に形成された保護膜を選択的にエッチングする際に、前記冗長ヒューズ部上にのみマスクを行うことを特徴とする冗長ヒューズの製造方法。

【請求項6】 冗長ヒューズ部とボンディングパッド部を形成する工程と、前記冗長ヒューズ部とボンディングパッド部上に形成された保護膜を選択的にエッチングした後、過酸化水素水を用いて、ボンディングパッド部に形成された窒化チタン膜を除去することを特徴とする冗長ヒューズの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体メモリーの冗長ヒューズおよびその製造方法に関するものである。

【0002】

【従来の技術】半導体メモリーでは歩留りを向上させるため、冗長ヒューズを使用している。冗長ヒューズは、冗長用のヒューズ配線をレーザー光により切断することにより、使用する配線の選択を行うものである。不良となった配線を別に設けてある配線に切り替えて使用できる(冗長救済)ため、歩留りを向上することができる。

【0003】以下図面を参照しながら、上記した従来の半導体装置およびその製造方法について説明する。

【0004】図20は従来の実施例である半導体装置の断面図である。図20において、1はシリコン基板、2はLOCOS酸化膜、6はポロンリン珪酸ガラス膜、7はリンドープドシリコン膜、8はタンゲステンシリサイド膜、9はポロンリン珪酸ガラス膜、10はプラズマ窒化珪素膜、11はポリイミド膜である。

【0005】ボロンリン珪酸ガラス膜6上にタングステンシリサイド膜8とリンドーブドシリコン膜7の二層膜で構成されたポリサイド配線が、冗長用ヒューズ配線として設置されている。通常、複数本の冗長ヒューズ

配線（ポリサイド配線）が冗長ヒューズ素子として設置されるが、図20では図示の簡略化のため省略している。レーザー光により冗長ヒューズ配線を切断するため、冗長ヒューズ配線上のプラズマ塗布珪素膜10とポリイミド膜11を除去している。

【0006】図21～図27は従来の実施例である半導体装置の製造方法の工程説明図である。図中の左側にボンディングパッド部(a)、右側に冗長ヒューズ部(b)の断面形状をそれぞれ示している。図21～図27において、1はシリコン基板、2はLOCOS酸化膜、6はボロンリン珪酸ガラス膜、7はリンドープドボリシリコン膜、8はタンクステンシリサイド膜、9はボロンリン珪酸ガラス膜、10はプラズマ空化珪素膜、11はポリイミド膜、14はアルミニウム膜、15は空化チタン膜である。

【0007】すでに、ボンディングパッド部(a)には、LOCOS酸化膜2上にボロンリン珪酸ガラス膜6、およびボロンリン珪酸ガラス膜9が形成されている。また、冗長ヒューズ部(b)には、LOCOS酸化膜2上に、ボロンリン珪酸ガラス膜6と、リンドープドポリシリコン膜7およびタンクステンシリサイド膜8の二層膜とで構成された冗長用ヒューズ配線が形成されており、さらにその上に、ボロンリン珪酸ガラス膜9が形成されている(図21)。

【0008】第一に、コンタクトホール（図示せず）を開口した後、アルミニウム膜14および窒化チタン膜15で構成されたアルミニウム配線を形成する（図22）。アルミニウム膜14上に窒化チタン膜15を設けたのは、反射率を低減させ、微細なアルミニウム配線を形成するためである。ボンディングパッド部（a）には、ワイヤーボンドを行うためのアルミニウム配線が形成されるが、冗長ヒューズ部（b）ではアルミニウム配線が全てエッチング除去される。

【0009】第二に、保護膜としてプラズマ空化珪素膜10を形成する(図23)。第三に、保護膜を選択的にエッティングするためのマスクとしてポリイミド膜11を塗布する(図24)。ポリイミド膜11はネガ型の感光性を有するポリイミド膜である。

【0010】第四に、ポリイミド膜11を500×10⁻³秒の露光量で露光し、続いて現像をする(図25)。

【0011】第五に、ポリイミド膜11をマスクとして、ドライエッティングにより、プラズマ窒化珪素膜10のエッティングを行う(図26)。

【0012】第六に、プラズマ窒化膜10のエッティングに使用したものと同じドライエッティング装置を用いて、連続でボンディングパッド部(a)の窒化チタン膜15をオーバーエッティングにより除去する(図27)。

【0013】ボンディングパッド部(a)の空化チタン膜15をエッチング除去するのは、ワイヤー線をボンディングした際の剥がれ防止のためである。このとき、冗

長ヒューズ部(b)もオーバーエッチングされるため、ボロンリン珪酸ガラス膜9が除去される。

【0014】

【発明が解決しようとする課題】しかしながら上記のような構造および製造方法では、冗長用ヒューズ配線がエッチングにより薄くなり、配線抵抗が高くなる場合がある。この場合、使用する配線の切り替えができなくなり、不良となった配線を救済できる確率(冗長救済率)が低下するという問題があった。このため、半導体メモリーの歩留りを低下させている。冗長用ヒューズ配線上に形成するボロンリン珪酸ガラス膜9の膜厚を厚くすれば、これらの問題を解決することができるが、後に形成するコンタクトホールのアスペクト比が高くなり、アルミニウム配線の信頼性が低下するため、その厚膜化には限界があった。

【0015】本発明の目的は、冗長用ヒューズ配線上に形成するボロンリン珪酸ガラス膜の膜厚を厚くしなくとも、冗長ヒューズ配線の薄膜化に起因した配線抵抗の増加を防止できる冗長ヒューズおよびその製造方法を提供するものである。

【0016】

【課題を解決するための手段】上記目的を達成するために本発明の冗長ヒューズは、複数のダミー配線と、ダミー配線間に形成されたスペース部と、スペース部の上部に形成された冗長用ヒューズ配線を備えている。

【0017】また、ダミー配線と、ダミー配線上に形成されたコンタクトホールと、コンタクトホール上に形成された冗長用ヒューズ配線を備えている。

【0018】また、冗長用ヒューズ配線の配線幅が0.7μm以上である。さらに、冗長用ヒューズ配線上に、酸化珪素膜とボロンリン珪酸ガラス膜との二層で構成された絶縁膜が形成されている。

【0019】上記目的を達成するために本発明の冗長ヒューズの製造方法は、冗長ヒューズ部とポンディングパッド部を形成する工程と、冗長ヒューズ部とポンディングパッド部上に形成された保護膜を選択的にエッチングする際に、冗長ヒューズ部上にのみマスクを行う。

【0020】また、冗長ヒューズ部とポンディングパッド部を形成する工程と、冗長ヒューズ部とポンディングパッド部上に形成された保護膜を選択的にエッチングした後、過酸化水素水を用いて、ポンディングパッド部に形成された空化チタン膜を除去する。

【0021】

【作用】本発明は上記した構造およびその製造方法によって冗長救済率の低下を防止でき、半導体メモリーの歩留りを高めることができる。

【0022】

【実施例】以下本発明について、その実施例にもとづいて詳細に説明する。

【0023】【第1実施例】図1は本発明の第1の実施

例である半導体装置の断面図である。図1において、1はシリコン基板、2はLOCOS酸化膜、3はポリシリコンゲート電極、4はTEOS酸化膜、5はサイドウォールTEOS酸化膜、6はボロンリン珪酸ガラス膜、7はリンドープドポリシリコン膜、8はタングステンシリサイド膜、9はボロンリン珪酸ガラス膜、10はプラズマ空化珪素膜、11はポリイミド膜である。

【0024】電気的に接続されていないポリシリコンゲート電極3がダミー配線として設けられている。そして、そのポリシリコンゲート電極3のスペース部に、タングステンシリサイド膜8およびリンドープドポリシリコン膜7の二層膜で構成されたポリサイド配線が、冗長用ヒューズ配線として設置されている。複数本の冗長ヒューズ配線(ポリサイド配線)と、ダミー配線とが設置されているが、図1では図示の簡略化のため省略している。

【0025】従来の技術では、ポリシリコンゲート電極3のようなダミー配線は設けられていて、平坦なボロンリン珪酸ガラス膜6上に冗長用ヒューズ配線を形成していた。このような構造の場合、プラズマ空化珪素膜10とポリイミド膜11とを除去した後に、ポンディングパッド部(a)の空化チタン膜を除去するためのオーバーエッチングを実施すると、ボロンリン珪酸ガラス膜6が完全に除去されてしまい、冗長用ヒューズ配線が薄くなる場合がある。この場合、冗長用ヒューズ配線の配線抵抗が高くなり、冗長救済率が低下するという問題があった。

【0026】しかし、本発明のようにダミー配線のスペース部に冗長用ヒューズ配線を設置すると、従来の平坦なボロンリン珪酸ガラス膜6上に冗長用ヒューズ配線を形成した場合と比較して、冗長用ヒューズ配線上のボロンリン珪酸ガラス膜9の膜厚を厚くすることができる。このような構造の場合、プラズマ空化珪素膜10とポリイミド膜11とを除去した後に、ポンディングパッド部(a)の空化チタン膜を除去するためのオーバーエッチングを実施しても、ボロンリン珪酸ガラス膜6が完全に除去されることはなく、冗長用ヒューズ配線が薄くなることはない。このため、冗長用ヒューズ配線の配線抵抗が高くなり、冗長救済率が低下するという問題が発生することはない。

【0027】本発明の第1の実施例では、冗長用ヒューズ配線がタングステンシリサイド膜とリンドープドポリシリコン膜の二層膜構造の場合について述べたが、ポリシリコン膜、チタンシリサイド膜、モリブデンシリサイド膜、あるいは、タングステン膜等を用いた単層膜や二層膜構造の場合も同様の効果が得られる。

【0028】また、ダミー配線として、ポリシリコンゲート電極を用いた場合について述べたが、その他の導電膜を用いた場合も同様の結果が得られる。

【0029】以上のように本発明の第1の実施例によれ

ば、冗長用ヒューズ配線の下層に形成したダミー配線のスペース部に、冗長用ヒューズ配線を設置することにより、冗長救済率が低下するという問題を防止でき、半導体メモリーの歩留りを高めることができる。

【0030】〔第2実施例〕図2は本発明の第2の実施例である半導体装置の断面図である。図2において、1はシリコン基板、2はLOCOS酸化膜、3はポリシリコンゲート電極、4はTEOS酸化膜、5はサイドウォールTEOS酸化膜、6はポロンリン珪酸ガラス膜、7はリンドープドポリシリコン膜、8はタングステンシリサイド膜、9はポロンリン珪酸ガラス膜、10はプラズマ窒化珪素膜、11はポリイミド膜、12はコンタクトホールである。

【0031】電気的に接続されていないポリシリコンゲート電極3がダミー配線として設けられている。そして、そのポリシリコンゲート電極3とコンタクトホール12を介して、タングステンシリサイド膜8およびリンドープドポリシリコン膜7の二層膜で構成されたポリサイド配線が、冗長用ヒューズ配線として設置されている。複数本の冗長ヒューズ配線(ポリサイド配線)、ダミー配線、およびコンタクトホールが冗長ヒューズ素子として設置されているが、図2では図示の簡略化のために省略している。

【0032】従来の技術では、ポリシリコンゲート電極3のようなダミー配線、コンタクトホール12を設けていはず、平坦なポロンリン珪酸ガラス膜6上に冗長用ヒューズ配線を形成していた。このような構造の場合、プラズマ窒化珪素膜10とポリイミド膜11を除去した後に、ポンディングパッド部(a)の窒化チタン膜を除去するためのオーバーエッチングを実施すると、ポロンリン珪酸ガラス膜6が完全に除去されてしまい、冗長用ヒューズ配線が薄くなる場合があった。この場合、冗長用ヒューズ配線の配線抵抗が高くなり、冗長救済率が低下するという問題があった。

【0033】しかし、本発明のようにダミー配線に設けたコンタクトホール上に冗長用ヒューズ配線を設置すると、従来の平坦なポロンリン珪酸ガラス膜6上に冗長用ヒューズ配線を形成した場合と比較して、コンタクトホール内の冗長用ヒューズ配線上に厚いポロンリン珪酸ガラス膜6を形成することができる。このような構造の場合、プラズマ窒化珪素膜10とポリイミド膜11を除去した後にポンディングパッド部(a)の窒化チタン膜を除去するためのオーバーエッチングを実施してもコンタクトホール内のポロンリン珪酸ガラス膜6が完全に除去されることはない。このため、冗長用ヒューズ配線の配線抵抗の増加を抑制でき、冗長救済率が低下するという問題が発生することはない。

【0034】本発明の第2の実施例では、冗長用ヒューズ配線がタングステンシリサイド膜とリンドープドポリシリコン膜の二層膜構造の場合について述べたが、ポリ

シリコン膜、チタンシリサイド膜、モリブデンシリサイド膜、あるいは、タンクステン膜等を用いた単層膜や二層膜構造の場合も同様の効果が得られる。

【0035】また、ダミー配線として、ポリシリコンゲート電極を用いた場合について述べたが、その他の導電膜を用いた場合も同様の結果が得られる。

【0036】以上のように本発明の第2の実施例によれば、冗長用ヒューズ配線の下層に形成したダミー配線、およびコンタクトホール上に、冗長用ヒューズ配線を設置することにより、冗長救済率が低下するという問題を防止でき、半導体メモリーの歩留りを高めることができる。

【0037】〔第3実施例〕図3は本発明の第3の実施例である半導体装置の断面図である。図3において、1はシリコン基板、2はLOCOS酸化膜、6はポロンリン珪酸ガラス膜、7はリンドープドポリシリコン膜、8はタングステンシリサイド膜、9はポロンリン珪酸ガラス膜、10はプラズマ窒化珪素膜、11はポリイミド膜である。

【0038】タングステンシリサイド膜8とリンドープドポリシリコン膜7の二層膜で構成されたポリサイド配線が、冗長用ヒューズ配線として設置されている。冗長用ヒューズ配線の配線幅は0.7μmである。複数本の冗長ヒューズ配線(ポリサイド配線)が冗長ヒューズ素子として設置されているが、図3では図示の簡略化のために省略している。

【0039】従来の技術では、冗長用ヒューズ配線の配線幅については特に規定されていないため、最小デザインルールで設計されていることが多く、たとえばデザインルールが0.5μmの半導体メモリーでは、冗長用ヒューズ配線の配線幅が0.5μmであった。このような構造の場合、プラズマ窒化珪素膜10とポリイミド膜11を除去した後に、ポンディングパッド部(a)上の窒化チタン膜を除去するためのオーバーエッチングを実施すると、冗長用ヒューズ配線上のポロンリン珪酸ガラス膜6が完全に除去されてしまい、冗長用ヒューズ配線が薄くなる場合があった。この場合、冗長用ヒューズ配線の配線抵抗が高くなり、冗長救済率が低下するという問題があった。

【0040】図4は、平坦化熱処理後の配線幅と配線上のポロンリン珪酸ガラス膜の膜厚との関係を示す。配線幅が細いほど、平坦化熱処理によって配線上のポロンリン珪酸ガラス膜が流れるために、その膜厚が薄くなる。特に、配線幅が0.6μm以下に細くなると、配線上のポロンリン珪酸ガラス膜の膜厚が極端に薄くなることがわかる。

【0041】本発明の実施例のように、冗長用ヒューズ配線の配線幅を0.7μmとすると、従来の配線幅が0.5μmの場合と比較して、冗長用ヒューズ配線上のポロンリン珪酸ガラス膜6の膜厚を厚くすることができる。こ

のような構造の場合、プラズマ空化珪素膜10とポリイミド膜11を除去した後に、ボンディングパッド部(a)の空化チタン膜を除去するためのオーバーエッチングを実施しても、ポロンリン珪酸ガラス膜6が完全に除去されることはなく、冗長用ヒューズ配線が薄くなることはない。このため、冗長用ヒューズ配線の配線抵抗が高くなり、冗長救済率が低下するという問題が発生することはない。

【0042】本発明の第3の実施例では、冗長用ヒューズ配線がタングステンシリサイド膜とリンドープドポリシリコン膜の二層膜構造の場合について述べたが、ポリシリコン膜、チタンシリサイド膜、モリブデンシリサイド膜、あるいは、タングステン膜等を用いた単層膜や二層膜構造の場合も同様の効果が得られる。

【0043】以上のように本発明の第3の実施例によれば、冗長用ヒューズ配線の配線幅を0.7μm以上することにより、冗長救済率が低下するという問題を防止でき、半導体メモリーの歩留りを高めることができる。

【0044】【第4実施例】図5は本発明の第4の実施例である半導体装置の断面図である。図5において、1はシリコン基板、2はLOCOS酸化膜、6はポロンリン珪酸ガラス膜、7はリンドープドポリシリコン膜、8はタングステンシリサイド膜、9はポロンリン珪酸ガラス膜、10はプラズマ空化珪素膜、11はポリイミド膜、13は酸化珪素膜である。

【0045】タングステンシリサイド膜8とリンドープドポリシリコン膜7の二層膜で構成されたポリサイド構*

*造を有する冗長用ヒューズ配線上には、酸化珪素膜13とポロンリン珪酸ガラス膜9が形成されている。複数本の冗長ヒューズ配線(ポリサイド配線)が冗長ヒューズ素子として設置されているが、図5では図示の簡略化のため省略している。

【0046】従来の技術では、冗長用ヒューズ配線上の絶縁膜はポロンリン珪酸ガラス膜9だけであった。このような構造の場合、プラズマ空化珪素膜10とポリイミド膜11を除去した後に、ボンディングパッド部(a)の空化チタン膜を除去するためのオーバーエッチングを実施すると、冗長用ヒューズ配線上のポロンリン珪酸ガラス膜9のエッチングレイトが速いため、完全に除去されてしまい、冗長用ヒューズ配線が薄くなる場合があった。この場合、冗長用ヒューズ配線の配線抵抗が高くなり、冗長救済率が低下するという問題があった。

【0047】しかし、本発明の第4の実施例のように、冗長用ヒューズ配線上の絶縁膜として酸化珪素膜13を用いるとオーバーエッチング時のエッチングレイトを遅くできることがわかった。

【0048】表1は、冗長用ヒューズ配線上に用いる絶縁膜の種類と、オーバーエッチング時のエッティングレイトとの関係を示す。酸化珪素膜のエッティングレイトは、ポロンリン珪酸ガラス膜のエッティングレイトの約1/2に減少している。

【0049】

【表1】

絶縁膜	ポロンリン珪酸ガラス膜	酸化珪素膜
エッティングレイト (μm/分)	0.31	0.16

【0050】冗長用ヒューズ配線上にポロンリン珪酸ガラス膜9、および酸化珪素膜13を形成すると、従来のポロンリン珪酸ガラス膜9だけを形成した場合と比較して、オーバーエッチング時のエッティング量を減少できるため、冗長用ヒューズ配線が露出し、薄くなることはない。このため、冗長用ヒューズ配線の配線抵抗が高くなり、冗長救済率が低下するという問題も発生しない。

【0051】本発明の第4の実施例では、冗長用ヒューズ配線がタングステンシリサイド膜とリンドープドポリシリコン膜の二層膜構造の場合について述べたが、ポリシリコン膜、チタンシリサイド膜、モリブデンシリサイド膜、あるいはタングステン膜等を用いた単層膜や二層膜構造の場合も同様の効果が得られる。

【0052】本発明の第4の実施例では、冗長用ヒューズ配線上に酸化珪素膜、ポロンリン珪酸ガラス膜の順に

形成しているが、逆に、ポロンリン珪酸ガラス膜、酸化珪素膜の順に形成した場合も同様の結果が得られる。

【0053】以上のように本発明の第4の実施例によれば、冗長用ヒューズ配線上に、酸化珪素膜とポロンリン珪酸ガラス膜の二層で構成された絶縁膜を形成することにより、冗長救済率が低下するという問題を防止でき、半導体メモリーの歩留りを高めることができる。

【0054】【第5実施例】図6～図12は本発明の第5の実施例である半導体装置の製造方法の工程説明図である。図中の左側にボンディングパッド部(a)、右側に冗長ヒューズ部(b)の断面形状を示している。図6～図12において、1はシリコン基板、2はLOCOS酸化膜、6はポロンリン珪酸ガラス膜、7はリンドープドポリシリコン膜、8はタングステンシリサイド膜、9はポロンリン珪酸ガラス膜、10はプラズマ空化珪素

膜、11はポリイミド膜、14はアルミニウム膜、15は空化チタン膜である。複数本の冗長用ヒューズ配線が設置されているが、図6～図12では図示の簡略化のため省略している。

【0055】すでに、ボンディングパッド部(a)にはLOCOS酸化膜2上にボロンリン珪酸ガラス膜6、ボロンリン珪酸ガラス膜9が形成されている。また、冗長ヒューズ部(b)にはLOCOS酸化膜2上に、ボロンリン珪酸ガラス膜6、リンドープドポリシリコン膜7、タングステンシリサイド膜8の二層膜で構成された冗長用ヒューズ配線が形成されており、さらにその上にボロンリン珪酸ガラス膜9が形成されている(図6)。

【0056】第一に、コンタクトホールを開口した後(図示せず)、アルミニウム膜14および空化チタン膜15で構成されたアルミニウム配線を形成する(図7)。

【0057】アルミニウム膜14上に空化チタン膜15を用いるのは、反射率を低減し、微細なアルミニウム配線を形成するためである。ボンディングパッド部(a)には、ワイヤーボンドを行うためのアルミニウム配線が形成されるが、冗長ヒューズ部(b)にはアルミニウム配線が全てエッティングされ除去される。

【0058】第二に、保護膜としてプラズマ空化珪素膜10を形成する(図8)。第三に、保護膜を選択的にエッティングするためのマスクとして、ポリイミド膜11を塗布する(図9)。ポリイミド膜11はネガ型の感光性を有するポリイミド膜である。

【0059】第四に、ポリイミド膜11を 1000×10^{-3} 秒の露光量で露光し、続いて現像をする(図10)。ボンディングパッド部(a)のポリイミド膜11は完全に除去されるが、冗長ヒューズ部(b)のポリイミド膜11は完全には除去されない。

【0060】第五に、ポリイミド膜11をマスクとして、ドライエッティングにより、プラズマ空化珪素膜10のエッティングを行う(図11)。ボンディングパッド部(a)のプラズマ空化珪素膜は完全にエッティング除去されるが、冗長ヒューズ部(b)のプラズマ空化珪素膜10はポリイミド膜11を完全に除去しなかった分だけエッティングされずに残る。

【0061】第六に、プラズマ空化珪素膜10をエッティングしたのと同一のドライエッティング装置を用いて連続して、ボンディングパッド部(a)の空化チタン膜15をオーバーエッティングにより、エッティング除去する(図12)。ボンディングパッド部(a)の空化チタン膜15をエッティング除去するのは、ワイヤー線をボンディングした際の剥がれ防止のためである。このとき、冗長ヒューズ部(b)もオーバーエッティングされるため、エッティングされずに残っていたプラズマ空化珪素膜10が完全に除去される。

【0062】従来の技術では、ボンディングパッド部

(a)、および冗長ヒューズ部(b)のポリイミド膜11を完全に除去するため、ポリイミド膜11を露光する際の露光量を 500×10^{-3} 秒で実施していた。しかし、冗長ヒューズ部(b)のポリイミド膜11まで完全に除去してしまうと、プラズマ空化珪素膜10のドライエッティング時にプラズマ空化珪素膜10が完全に除去されてしまう。また、ボンディングパッド部(a)の空化チタン膜15を除去するためのオーバーエッティングを実施すると、ボロンリン珪酸ガラス膜9が完全に除去されてしまい、冗長用ヒューズ配線が薄くなる場合があった。この場合、冗長用ヒューズ配線の配線抵抗が増加し、冗長救済率を低下させてしまうという問題があった。

【0063】本発明のように、ポリイミド露光時の露光量を故意に多く設定すれば、小面積である冗長ヒューズ部(b)のポリイミド膜を完全には除去しなくてよい。このような製造方法の場合、ボンディングパッド部(a)の空化チタン膜15を除去するオーバーエッティング時に、プラズマ空化珪素膜10をエッティングすることになり、ボロンリン珪酸ガラス膜9が完全に除去されてしまうことはない。このため、冗長用ヒューズ配線が薄膜化することなく、冗長救済率が低下するという問題が発生することはない。

【0064】本発明の第5の実施例では、冗長用ヒューズ配線がタングステンシリサイド膜とリンドープドポリシリコン膜、チタンシリサイド膜、モリブデンシリサイド膜、あるいは、タングステン膜等を用いた単層膜や二層膜構造の場合も同様の効果が得られる。

【0065】本発明の第5の実施例では、冗長ヒューズ部(b)、およびボンディングパッド部(a)の保護膜を選択的にエッティングするためのマスクとして、ネガ型の感光性ポリイミド膜を用いたが、ホトレジスト膜を用いた場合も同様の効果が得られる。

【0066】以上のように本発明の第5の実施例によれば、冗長ヒューズ部(b)、およびボンディングパッド部(a)上の保護膜を選択的にエッティングするためのホトマスクの形成時、冗長ヒューズ部(b)上のホトマスクは完全に除去せず、ボンディングパッド部(a)上のホトマスクは完全に除去することにより、冗長救済率が低下するという問題を防止でき、半導体メモリーの歩留りを高めることができる。

【0067】〔第6実施例〕図13から図19は本発明の第6の実施例である半導体装置の製造方法の工程説明図である。図中の左側にボンディングパッド部(a)、右側に冗長ヒューズ部(b)の断面形状を示している。図13において、1はシリコン基板、2はLOCOS酸化膜、6はボロンリン珪酸ガラス膜、7はリンドープドポリシリコン膜、8はタングステンシリサイド膜、9はボロンリン珪酸ガラス膜、10はプラズマ空化珪素膜、

11はポリイミド膜、14はアルミニウム膜、15は室化チタン膜である。複数本の冗長用ヒューズ配線が設置されているが、図13～図19では図示の簡略化のため省略している。

【0068】すでに、ポンディングパッド部(a)にはLOCOS酸化膜2上にボロンリン珪酸ガラス膜6、ボロンリン珪酸ガラス膜9が形成されている。

【0069】また、冗長ヒューズ部(b)にはLOCOS酸化膜2上に、ボロンリン珪酸ガラス膜6、リンドープドポリシリコン膜7、タングステンシリサイド膜8の二層膜で構成された冗長用ヒューズ配線が形成されており、さらにその上に、ボロンリン珪酸ガラス膜9が形成されている(図13)。

【0070】第一に、コンタクトホールを開口した後(図示せず)、アルミニウム膜14、および室化チタン膜15で構成されたアルミニウム配線を形成する(図14)。アルミニウム膜14上に室化チタン膜15を用いるのは、反射率を低減し、微細なアルミニウム配線を形成するためである。ポンディングパッド部(a)には、ワイヤーボンドを行うためのアルミニウム配線が形成されるが、冗長ヒューズ部(b)にはアルミニウム配線が全てエッチングされ除去される。

【0071】第二に、保護膜としてプラズマ室化珪素膜10を形成する(図15)。第三に、保護膜を選択的にエッチングするためのマスクとして、ポリイミド膜11を塗布する(図16)。ポリイミド膜11はネガ型の感光性を有するポリイミド膜である。

【0072】第四に、ポリイミド膜11を 500×10^{-3} m秒の露光量で露光し、続いて現像をする(図17)。

【0073】第五に、ポリイミド膜11をマスクとして、ドライエッチングにより、プラズマ室化珪素膜10のエッチングを行う(図18)。

【0074】第六に、約75℃の過酸化水素水を用いて、ポンディングパッド部(a)の室化チタン膜15をエッチング除去する(図19)。ポンディングパッド部(a)の室化チタン膜15をエッチング除去するのは、ワイヤー線をポンディングした際の剥がれ防止のためである。このとき、冗長ヒューズ部(b)も過酸化水素水にさらされるが、ボロンリン珪酸ガラス膜はエッチングされない。

【0075】従来の技術では、プラズマ室化珪素膜10をエッチングするのと同一のドライエッチング装置を用いたオーバーエッチングにより、ポンディングパッド部(a)の室化チタン膜をエッチング除去していた。しかし、冗長ヒューズ部(b)のボロンリン珪酸ガラス膜もオーバーエッチングにより完全にエッチングされてしまうため、冗長用ヒューズ配線が薄くなる場合があった。この場合、冗長用ヒューズ配線の配線抵抗が増加し、冗長救済率を低下させてしまうという問題があった。

【0076】本発明のように、過酸化水素水を用いてポンディングパッド部の室化チタン膜15を除去すれば、冗長ヒューズ部(b)のボロンリン珪酸ガラス膜9がエッチングされてしまうことはない。このため、冗長用ヒューズ配線が薄膜化してしまうことはなく、冗長救済率が低下するという問題が発生することはない。

【0077】本発明の第6の実施例では、冗長用ヒューズ配線がタングステンシリサイド膜とリンドープドポリシリコン膜の二層膜構造の場合について述べたが、ポリシリコン膜、チタンシリサイド膜、モリブデンシリサイド膜、あるいは、タングステン膜等を用いた単層膜や二層膜構造の場合も同様の効果が得られる。

【0078】以上のように本発明の第6の実施例によれば、冗長ヒューズ部(b)、およびポンディングパッド部(a)の保護膜を選択的にエッチングした後に、過酸化水素水を用いて、ポンディングパッド部の室化チタン膜を除去することにより、冗長救済率が低下するという問題を防止でき、半導体メモリーの歩留りを高めることができる。

【発明の効果】本発明の構造や製造方法によれば、冗長用ヒューズ配線上に形成するボロンリン珪酸ガラス膜の膜厚を厚くしなくても、冗長ヒューズ配線の薄膜化に起因した配線抵抗の増加を防止できる。このため、半導体メモリーの歩留りを向上することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例である半導体装置の断面図

30 【図2】本発明の第2の実施例である半導体装置の断面図

【図3】本発明の第3の実施例である半導体装置の断面図

【図4】配線幅と配線上のボロンリン珪酸ガラス膜厚の関係を示す図

【図5】本発明の第4の実施例である半導体装置の断面図

【図6】本発明の第5の実施例である半導体装置の製造方法の工程説明図

40 【図7】本発明の第5の実施例である半導体装置の製造方法の工程説明図

【図8】本発明の第5の実施例である半導体装置の製造方法の工程説明図

【図9】本発明の第5の実施例である半導体装置の製造方法の工程説明図

【図10】本発明の第5の実施例である半導体装置の製造方法の工程説明図

【図11】本発明の第5の実施例である半導体装置の製造方法の工程説明図

【図12】本発明の第5の実施例である半導体装置の製造方法の工程説明図

13

【図13】本発明の第6の実施例である半導体装置の製造方法の工程説明図

【図14】本発明の第6の実施例である半導体装置の製造方法の工程説明図

【図15】本発明の第6の実施例である半導体装置の製造方法の工程説明図

【図16】本発明の第6の実施例である半導体装置の製造方法の工程説明図

【図17】本発明の第6の実施例である半導体装置の製造方法の工程説明図

【図18】本発明の第6の実施例である半導体装置の製造方法の工程説明図

【図19】本発明の第6の実施例である半導体装置の製造方法の工程説明図

【図20】従来の実施例である半導体装置の断面図

【図21】従来の実施例である半導体装置の製造方法の工程説明図

【図22】従来の実施例である半導体装置の製造方法の工程説明図

【図23】従来の実施例である半導体装置の製造方法の工程説明図

【図24】従来の実施例である半導体装置の製造方法の工程説明図

【図25】従来の実施例である半導体装置の製造方法の工程説明図

【図26】従来の実施例である半導体装置の製造方法の工程説明図

【図27】従来の実施例である半導体装置の製造方法の工程説明図

14

【図25】従来の実施例である半導体装置の製造方法の工程説明図

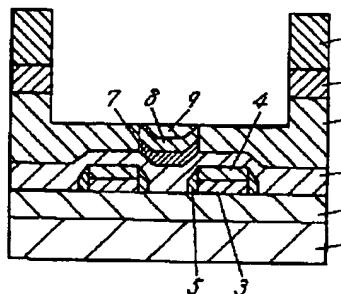
【図26】従来の実施例である半導体装置の製造方法の工程説明図

【図27】従来の実施例である半導体装置の製造方法の工程説明図

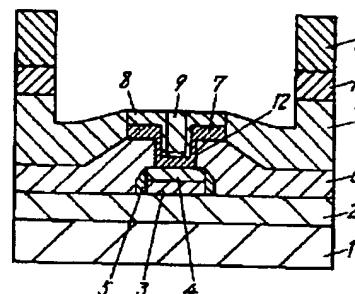
【符号の説明】

- 1 シリコン基板
- 2 LOCOS酸化膜
- 3 ポリシリコンゲート電極
- 4 TEOS酸化膜
- 5 サイドウォールTEOS酸化膜
- 6 ポロンリン珪酸ガラス膜
- 7 リンドープドシリコン膜
- 8 タングステンシリサイド膜
- 9 ポロンリン珪酸ガラス膜
- 10 プラズマ空化珪素膜
- 11 ポリイミド膜
- 12 コンタクトホール
- 13 酸化珪素膜
- 14 アルミニウム膜
- 15 空化チタン膜

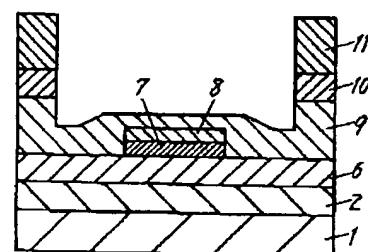
【図1】



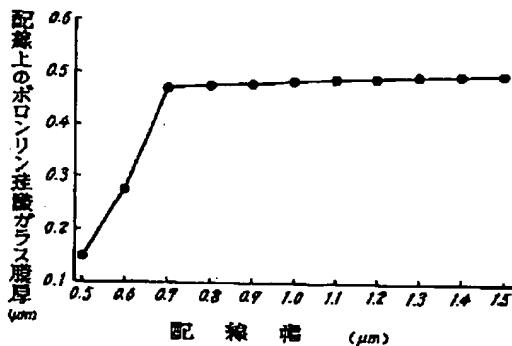
【図2】



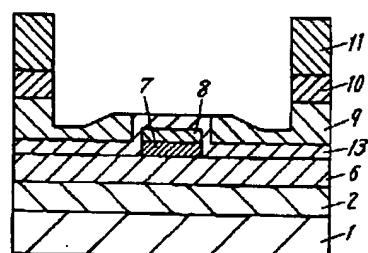
【図3】



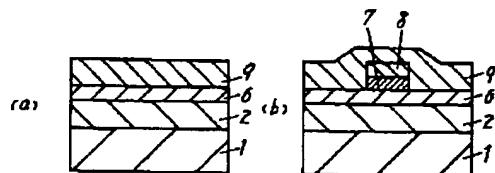
【図4】



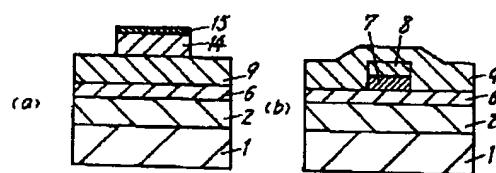
【図5】



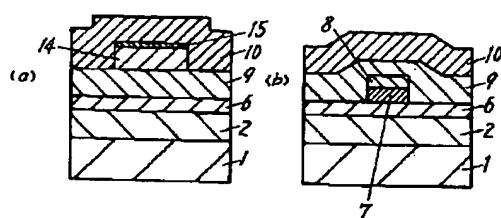
【図6】



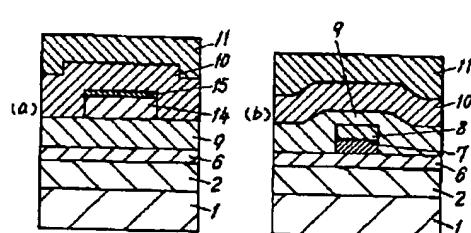
【図7】



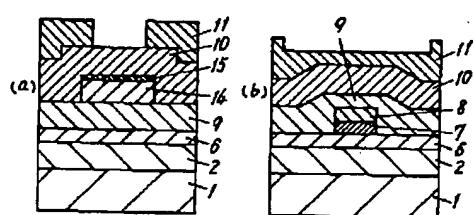
【図8】



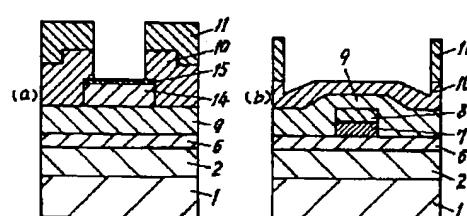
【図9】



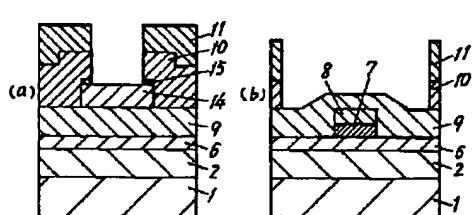
【図10】



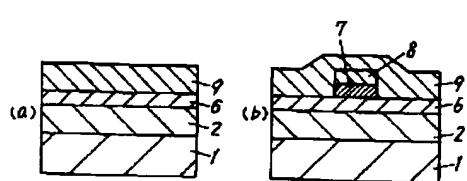
【図11】



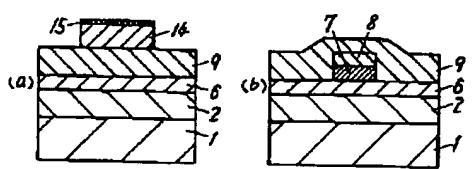
【図12】



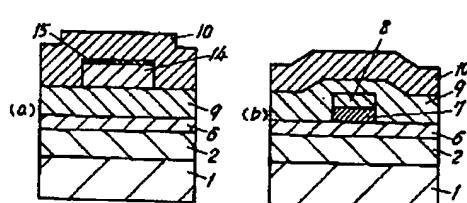
【図13】



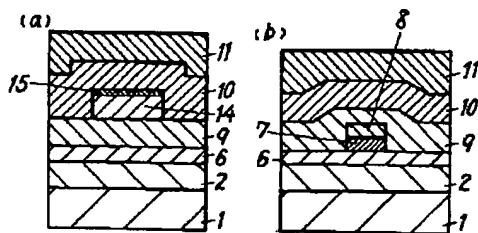
【図14】



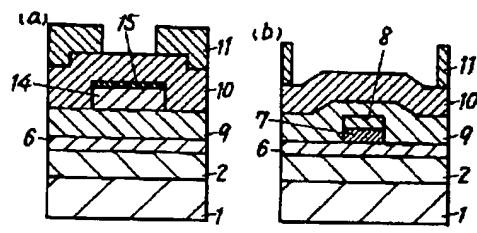
【図15】



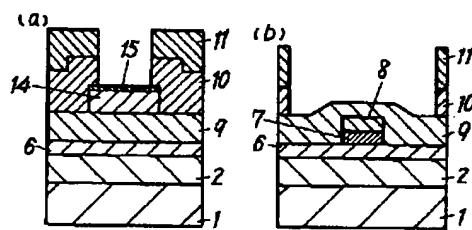
【図16】



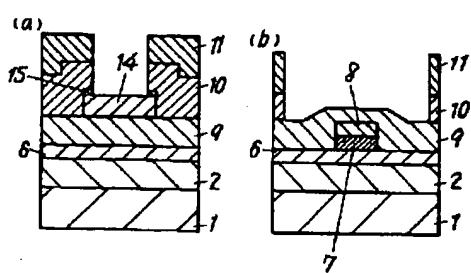
【図17】



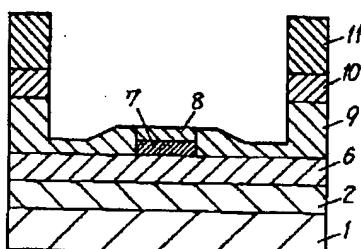
【図18】



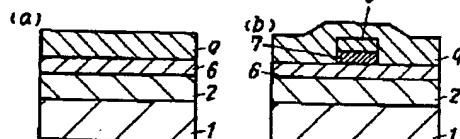
【図19】



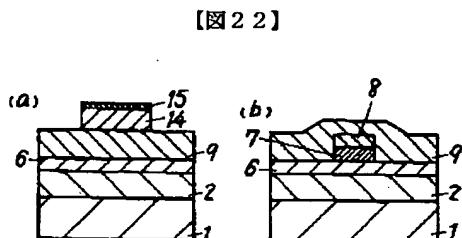
【図20】



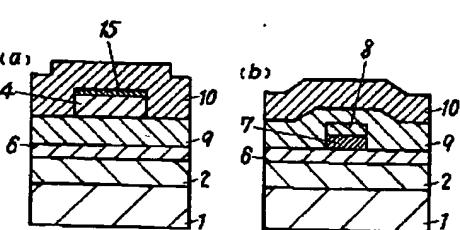
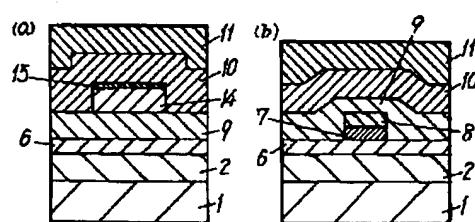
【図21】



【図23】

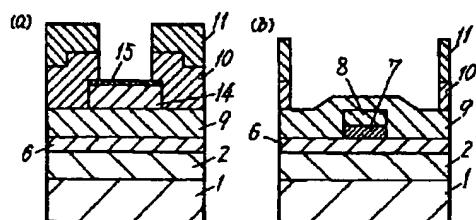


【図24】

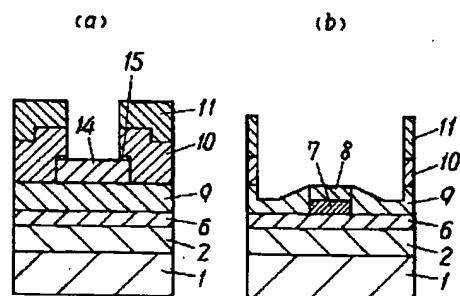


【図25】

【図26】



【図27】



Requested Patent: EP0697708A1

Title: SEMICONDUCTOR FUSE DEVICES ;

Abstracted Patent: EP0697708 ;

Publication Date: 1996-02-21 ;

Inventor(s):

PEYRE-LAVIGNE ANDRE (FR); SCHEID EMMANUEL (FR); DASPET DANIELLE BIELLE (FR); REYNES JEAN MICHEL (FR) ;

Applicant(s): MOTOROLA SEMICONDUCTEURS (FR) ;

Application Number: EP19950110953 19950713 ;

Priority Number(s): FR19940009894 19940810; US19970838472 19970407 ;

IPC Classification: H01H85/046; H01L23/525 ;

Equivalents: DE69508675D, FR2723663, JP8070045

ABSTRACT:

The fuse includes a substrate (11) comprising arsenic-doped silicon at a level of 2×10^{19} atoms/cc. or phosphorus-doped silicon at a level of 2×10^{20} atoms/cc. The bottom surface of the substrate is provided with a metal layer (19) forming a contact for the device. Overlying the dielectric and uncovered sections are the conductive contacts (14,15) which are sep'd. by the fuse (16) comprising phosphorus-doped polycrystalline silicon. A wire bond (17) bonds the single contact wire (18) to one of the contacts. The contact (14) overlies the uncovered section (13) of the substrate which is a highly phosphorus-doped silicon which minimises resistivity across junction.



(19) Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) EP 0 697 708 A1

(12)

EUROPEAN PATENT APPLICATION

(43) Date of publication:
21.02.1996 Bulletin 1996/08

(51) Int. Cl.⁶: H01H 85/046, H01L 23/525

(21) Application number: 95110953.7

(22) Date of filing: 13.07.1995

(84) Designated Contracting States:
AT DE GB IT

(30) Priority: 10.08.1994 FR 9409894

(71) Applicant: MOTOROLA SEMICONDUCTEURS S.A.
F-31023 Toulouse Cédex (FR)

(72) Inventors:
• Peyre-Lavigne, André
F-31120 Lacroix Falgarde (FR)

- Reynes, Jean Michel
F-31450 Pomietertuzat (FR)
- Scheld, Emmanuel
F-31450 Corronsac (FR)
- Daspet, Danielle Bielle
F-31670 Labege (FR)

(74) Representative: Hudson, Peter David et al
Motorola
European Intellectual Property
Midpoint
Alencon Link
Basingstoke, Hampshire RG21 7PL (GB)

[54] Semiconductor fuse devices

(57) A semiconductor fuse device is formed of a conductive semiconductor substrate (11) having a top surface and a bottom surface. A layer (12) of dielectric material is provided on a portion of the top surface and a first conductive layer (15) is formed wholly on a first portion of the layer (12) of dielectric material and forms a first contact of the device. A second conductive layer (14) is formed on a second portion of the layer (12) of

dielectric material spaced from the first portion and extends to contact the top surface of the substrate (11). A fuse portion (16) is formed wholly on the layer (12) of dielectric material and extends between and in electrical contact with the first and second conductive layers (14, 15). The bottom surface of the substrate (11) provides a second contact of the device, so that only one wire bond is necessary.

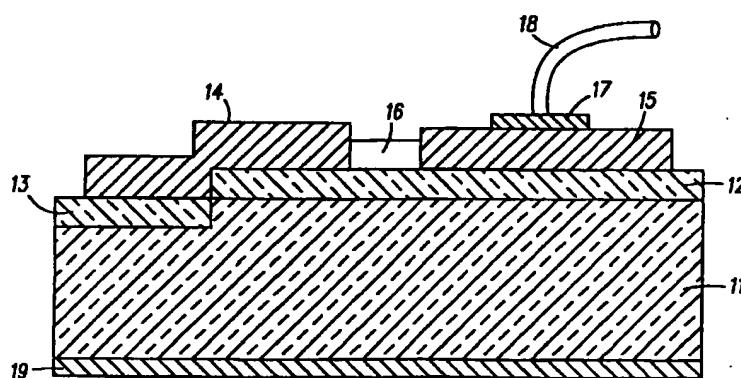


FIG. 2

Description**FIELD OF THE INVENTION**

This invention relates to semiconductor fuse devices. 5

BACKGROUND OF THE INVENTION

Igniter devices are known in which a semiconductor fuse device is used to ignite explosive material. Generally, such semiconductor fuse devices include a doped silicon fuse portion positioned on a substrate between two contact portions of doped silicon. Wire contacts are then bonded to the two contact portions to connect to control circuitry, which provides the current necessary to blow the fuse at an appropriate time. Such devices are particularly used for igniting explosive material used to blow up air bags or retract seat belts in automobiles for passenger safety. 10

The wire contacts are time consuming and expensive, as well as being unreliable. This is particularly so, when explosive material is compacted around the fuse device, which compaction can damage the wire bond. 15

BRIEF SUMMARY OF THE INVENTION

Accordingly, the invention provides a semiconductor fuse device comprising a conductive semiconductor substrate having a top surface and a bottom surface, a layer of dielectric material on a portion of the top surface, a first conductive layer wholly formed on a first portion of the layer of dielectric material and forming a first contact of the device, a second conductive layer formed on a second portion of the layer of dielectric material spaced from the first portion and extending to contact the top surface of the substrate, a fuse portion formed wholly on said layer of dielectric material and extending between and in electrical contact with the first and second conductive layers, said bottom surface of the substrate providing a second contact of the device. 20

BRIEF DESCRIPTION OF THE DRAWINGS

One embodiment of the invention will now be more fully described, by way of example, with reference to the drawings, of which: 25

FIG. 1 shows a known prior art device; and

FIG. 2 shows a device according to the invention. 30

DETAILED DESCRIPTION

Thus, as shown in FIG. 1, a known semiconductor igniter device 1 has two contacts 2 and 3 made of an electrically conductive material, for example polycrystalline silicon doped with aluminium, on which are provided wire bonds 4 and 5 connecting wires 6 and 7 to 35

the contacts 3 and 4, respectively. Clearly, the bonds 4 and 5 are also of electrically conductive material, for example solder.

The contacts 2 and 3 are provided on an insulating layer 8 of silicon dioxide, which is formed on a silicon substrate 9. The contacts are arranged to be spaced from the edge of the insulating layer 8 and from each other. Also on the insulating layer 8 is provided an igniter fuse 10 extending between the two contacts 2 and 3 and formed of polycrystalline silicon doped with phosphorus to have ***a resistivity of 10^{-3} ohm.cm***. 40

As is well known, when an appropriate voltage is provided between the two wires 6 and 7, the potential difference across the fuse 10 causes current to flow through the fuse, which vapourises and ignites pyrotechnic material which is compacted around it (not shown). The pyrotechnic material then ignites suitable gas-generating material which blows up an automotive airbag or seatbelt retractor. 45

As mentioned above, this structure can be unreliable since compaction of the pyrotechnic material around the wire bonds can damage them, the wire bonds themselves are relatively complicated to produce and can be inaccurately manufactured. 50

According to one embodiment of the present invention, as shown in FIG. 2, a semiconductor fuse device includes a silicon substrate 11, which has been doped with arsenic to 2×10^{19} at/cm³ to make it electrically conductive. An insulating layer 12 of silicon dioxide is then formed over most, but not all, of the top surface of the substrate 11. A top region 13 of the substrate 11 which has not been covered by the insulating layer 12 is then further doped with Phosphorus to a level of 2×10^{20} at/cm³ to increase the conductivity of the top surface of the substrate 11 adjacent the insulating layer 12. 55

A pair of contacts 14 and 15 are then deposited on the device such that one contact 14 overlies the region 13 of the substrate 11 and extends over the edge of the insulating layer 12 to overly part of the insulating layer 12. The second contact 15 is deposited such that it is wholly on the insulating layer 12 and spaced from both the edge of the insulating layer and the first contact 14. Between the contacts 14 and 15 is provided a fuse 16 formed of polycrystalline silicon doped with phosphorus, similar to the known fuse described above. 40

A wire bond 17 is provided to bond a wire 18 to the second contact 15. The bottom surface of the substrate 11 is provided with a metal layer 19 of Gold or Titanium Nickel Gold or any other suitable electrically conductive material. The base of the device formed by metal layer 19 essentially forms one contact for the device, thus replacing the need for two wire bonds. In this embodiment, the voltage is provided between the wire 18 and the metal layer 19, which, since the substrate 11 is conductive, produces a potential difference across the contacts 14 and 15 and therefore causes the fuse 16 to vapourise. 45

The region 13 is provided with increased conductivity in order to minimise the resistivity across the junction 50

between the contact 14 and the region 13 of substrate 11.

Since there is only one wire bond, the problems associated with wire bonds, as discussed above, are halved. The device itself can easily be manufactured using known semiconductor fabrication processes, and can, of course, be utilised in any applications requiring a fuse, not just in those applications where the fuse is used as an igniter. For example, the device can be used in applications where so-called "intelligent" fuses are required. Of course, it will be appreciated that if the device is used as an igniter, then the fuse must be such that it vapourises in a manner suitable to ignite the pyrotechnic material (not shown) which is compacted around it, whereas if the fuse is not used as an igniter, then it only needs to be of a material which will break the electrical conductivity, but not necessarily in a manner suitable to ignite pyrotechnic material.

It will further be appreciated that although only one particular embodiment of the invention has been described in detail, various modifications and improvements can be made by a person skilled in the art without departing from the scope of the present invention. For example, the structure of the device could be fabricated using various different processes.

- 5. A semiconductor fuse device according to claim 4, wherein the level of arsenic doping is 2×10^{19} at/cm³.
- 6. A semiconductor fuse device according to any one of claims 1 to 3, wherein said substrate is Phosphorus doped silicon.
- 7. A semiconductor fuse device according to claim 2, wherein said highly conductive region is Phosphorus doped silicon.
- 8. A semiconductor fuse device according to claim 6, wherein the level of Phosphorus doping is 2×10^{20} at/cm³.
- 9. A semiconductor fuse device according to any preceding claim, wherein said fuse is phosphorus doped polycrystalline silicon.

Claims

- 1. A semiconductor fuse device comprising a conductive semiconductor substrate having a top surface and a bottom surface, a layer of dielectric material on a portion of the top surface, a first conductive layer wholly formed on a first portion of the layer of dielectric material and forming a first contact of the device, a second conductive layer formed on a second portion of the layer of dielectric material spaced from the first portion and extending to contact the top surface of the substrate, a fuse portion formed wholly on said layer of dielectric material and extending between and in electrical contact with the first and second conductive layers, said bottom surface of the substrate providing a second contact of the device.
- 2. A semiconductor fuse device according to claim 1, further comprising a highly conductive region provided in the substrate adjacent the second conductive layer, said highly conductive region having a higher conductivity than the rest of the substrate.
- 3. A semiconductor fuse device according to either claim 1 or claim 2, further comprising a third conductive layer provided on the bottom surface of the substrate.
- 4. A semiconductor fuse device according to any preceding claim, wherein said substrate is Arsenic doped silicon.

25

30

35

40

45

50

55

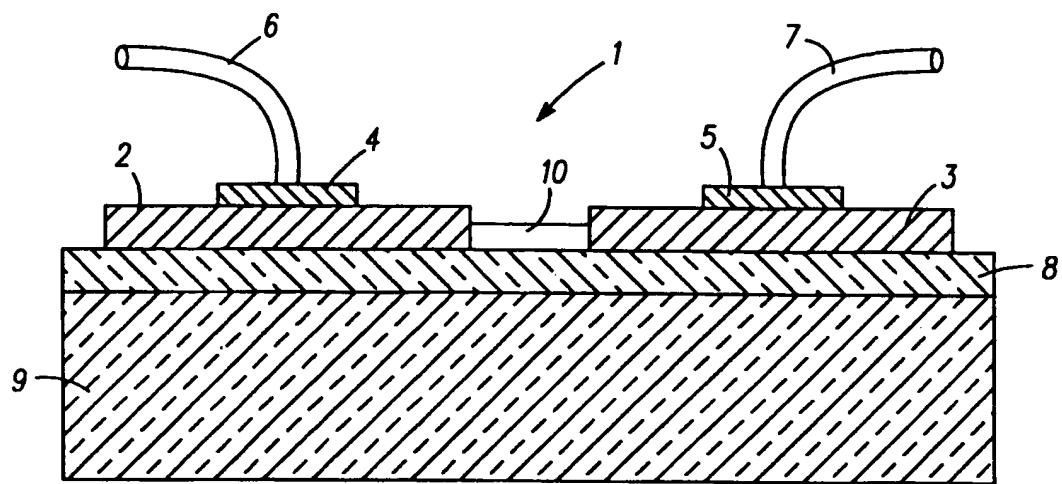


FIG. 1

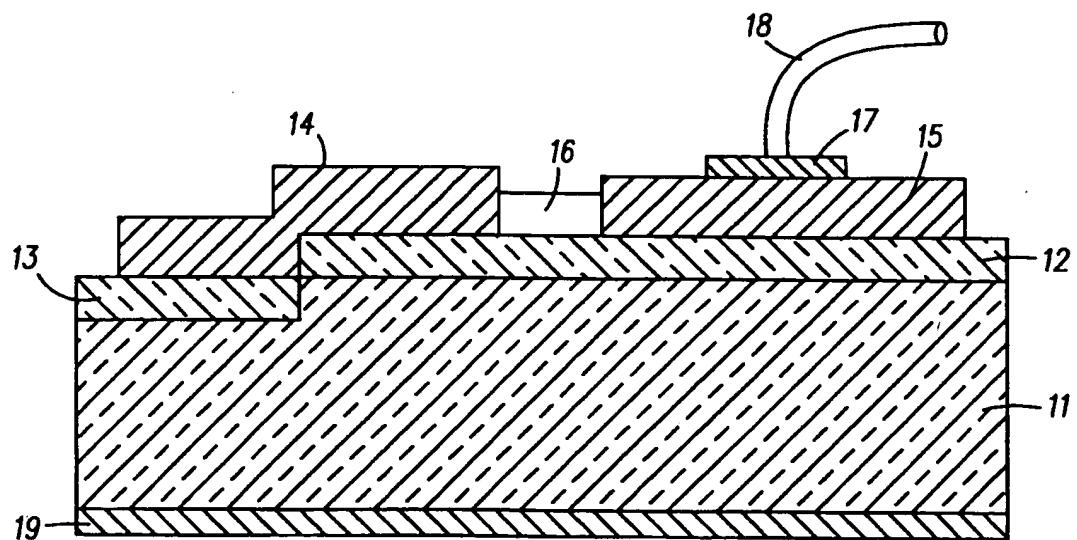


FIG. 2



EUROPEAN SEARCH REPORT

Application Number

EP 95 11 0953

DOCUMENTS CONSIDERED TO BE RELEVANT									
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.6)						
Y	US-A-4 495 222 (ANDERSON GEORGE F ET AL) 22 January 1985 * column 3, line 9 - line 36; figure 1 * ---	1,2	H01H85/046 H01L23/525						
Y	FR-A-2 085 918 (RCA CORPORATION) 31 December 1971 * page 2, line 3 - page 3, line 19; figures 1,2 * ---	1,2							
Y	US-A-5 256 899 (RANGAPPAN ANIKARA) 26 October 1993 * column 2, line 14 - line 47; figures 1,2 * * ---	1,2							
A	PATENT ABSTRACTS OF JAPAN vol. 010 no. 184 (E-415) ,27 June 1986 & JP-A-61 030060 (NEC CORP) 12 February 1986, * abstract * ---	4,6,7							
A	EP-A-0 141 075 (SIEMENS AG) 15 May 1985 * page 3, line 14 - page 4, line 25; figure 1 * ---	3	TECHNICAL FIELDS SEARCHED (Int.Cl.6)						
A	PATENT ABSTRACTS OF JAPAN vol. 016 no. 550 (E-1292) ,19 November 1992 & JP-A-04 209437 (NEC CORP) 30 July 1992, * abstract * -----	9	H01H H01L F24C						
<p>The present search report has been drawn up for all claims</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 33%;">Place of search</td> <td style="width: 33%;">Date of completion of the search</td> <td style="width: 34%;">Examiner</td> </tr> <tr> <td>BERLIN</td> <td>21 November 1995</td> <td>Ruppert, W</td> </tr> </table>				Place of search	Date of completion of the search	Examiner	BERLIN	21 November 1995	Ruppert, W
Place of search	Date of completion of the search	Examiner							
BERLIN	21 November 1995	Ruppert, W							
CATEGORY OF CITED DOCUMENTS		T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document							
X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document									

Arsenic deactivation enhanced diffusion: A time, temperature, and concentration study

P. M. Rousseau,^{a)} P. B. Griffin, W. T. Fang,^{b)} and J. D. Plummer
 Center for Integrated Systems, Stanford University, Stanford, California 94305

(Received 20 March 1998; accepted for publication 3 July 1998)

The electrical deactivation of arsenic in silicon has been studied with regard to its effect on enhanced diffusion. Experimental structures consist of a buried boron layer as an interstitial detector, and a fully activated arsenic doped laser annealed surface layer. As these structures are annealed at temperatures between 500 and 750 °C, arsenic in the surface layer deactivates and we observe enhanced diffusion of the buried boron layer. A study with time reveals that the enhanced diffusion transient and the deactivation transient are similar, indicating a strong correlation between both phenomena. The dependence on concentration shows a maximum enhanced diffusion for concentrations between 3 and $4 \times 10^{20} \text{ cm}^{-3}$ of initially active arsenic. Above these concentrations, the large supersaturation of interstitials nucleates dislocation loops and lowers the overall enhancement measured in the buried boron layer. Temperature data show that even for temperatures as low as 500 °C, enhanced diffusion is observed. These data are convincing evidence that the enhanced diffusion observed is due to the deactivation of arsenic and provides important insights into the mechanisms of deactivation. We propose that arsenic deactivation forms small clusters of various sizes around a vacancy with the injection of an associated interstitial into the bulk. © 1998 American Institute of Physics. [S0021-8979(98)04219-4]

I. INTRODUCTION

As silicon device dimensions shrink and electron device junctions become shallower, it is becoming more important to maximize the conductivity of these regions. For *n* type regions, this is achieved by very high doping concentrations of arsenic, in excess of $1 \times 10^{20} \text{ cm}^{-3}$. Unfortunately, there is a solubility limit beyond which electrical activation of additional dopant atoms does not occur. It is possible, however, to reach metastably high levels of electrically active arsenic either through solid phase regrowth or laser activation or high temperature anneals.¹⁻⁴ The subsequent deactivation of this arsenic has been the subject of ongoing research in order to maximize conductivity and develop models that accurately predict activation levels. The purpose of this article is to establish that arsenic deactivation causes enhanced diffusion in nearby layers. Using laser melt annealed arsenic layers, we investigate this phenomena as a function of time, arsenic concentration, and temperature. The experiment is best explained schematically in Fig. 1 where a high concentration of arsenic layer undergoes a low temperature anneal, causing significant deactivation. Interstitials kicked out during the deactivation process enhance the arsenic diffusion, thus creating a tail and diffuse into the substrate where they enhance the diffusion of a buried boron marker layer. By monitoring the diffusion enhancements, we can extract valuable information about the deactivation process and how it injects interstitials. This is in fact a more in-depth study of the phenomena investigated previously.⁵

The physical mechanisms proposed for arsenic deactivation have basically been divided along two lines: deactivated clusters of various sizes³⁻¹³ or precipitation.¹⁴⁻¹⁶ More recently, Nobili *et al.* found in very high concentration samples (above $1 \times 10^{21} \text{ cm}^{-3}$) that the SiAs monoclinic phase dissolves as the arsenic diffuses and its concentration decreases.¹⁷ However, the electrical activation level is still much lower than the chemical concentration where this occurs. As shown by Nobili *et al.* this suggest two solubilities: electrical and solid with electrically inactive clusters being responsible for the difference between the two.

The monoclinic silicon-arsenic precipitate has been studied by Wadsten.¹⁸ In this structure, arsenic has three nearest neighbors and silicon has four, although not all nearest neighbor distances are equal. This monoclinic form would be incoherent with the silicon tetrahedral lattice. However, various Rutherford backscattering spectrometry (RBS) studies have shown that the deactivated arsenic is coherent, with some relaxation occurring.¹⁹⁻²¹ Some relaxation is expected as the lattice compression changes during deactivation.²² Recent standing wave measurements confirm this result showing that deactivated arsenic is still coherent with the lattice.²³ In this article, our studies are mainly in a concentration regime where the deactivation is due to electrical solubility effects, thereby ruling out monoclinic precipitates as the cause for the deactivation.

Arsenic clusters have long been postulated in various sizes and forms. The arsenic-vacancy cluster is of particular interest as it seems to offer an electrically inactive, energetically favorable structure. This can be seen intuitively in chemical terms, where electrically inactive arsenic means it is found in its natural chemical state of $4s^2 p^3$, where the p^3 orbitals are used in the three covalent bonds (as arsenic in a

^{a)}Electronic mail: paul_rousseau@hpl.hp.com

^{b)}Also with: Hewlett Packard, 39201 Cherry Street, Newark CA 94560.

As would then travel down a channel
 0021-8979/98/84(7)/3593/9/\$15.00

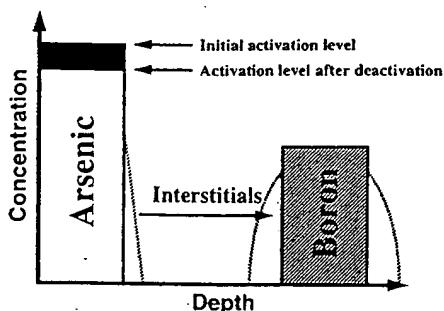


FIG. 1. Schematic diagram representing the structures in the experiment, where a high concentration arsenic layer deactivates at the surface, kicking out interstitials which diffuse into the substrate and enhance the diffusion of a buried boron marker layer (dotted lines).

vacancy cluster has only three nearest neighbors). In contrast, electrically active arsenic is constrained in the lattice to form four covalent sp^3 hybrid orbitals. Pandey *et al.* have investigated through total energy calculations the As_4V cluster and shown it to be energetically favorable compared to isolated arsenic atoms in the lattice.⁹ Other theoretical calculations show that arsenic–vacancy clusters of smaller sizes are energetically favorable compared to arsenic only clusters.^{24,25} It is clear that at least several cluster sizes must exist to explain the “reverse annealing phenomena”.^{14,26} Extended x-ray absorption of the fine structure (EXAFS) data have shown the reduction in silicon nearest neighbors from four for as-lased fully electrically active material to an average of approximately three after deactivation.^{27–29} This is convincing evidence of the vacancy deactivation postulate. Results do indicate that the As–As bond is not favored, as might be expected from simple bonding arguments. Subrahmanyam *et al.*³⁰ have confirmed the importance of vacancies in the deactivation process by either injecting interstitials or vacancies from the surface and noting a retarded or enhanced deactivation rate, respectively. In an earlier article, we postulated that some of these vacancy clusters may be formed by an interstitial kickout process. This may be written as:



where As_nSi represents n (integer 1–4) arsenic atoms around a silicon lattice site, As_nV represents a deactivated cluster with a vacancy, and I represent an interstitial. This process is shown schematically in Fig. 2 for the case of $n = 2$. For our

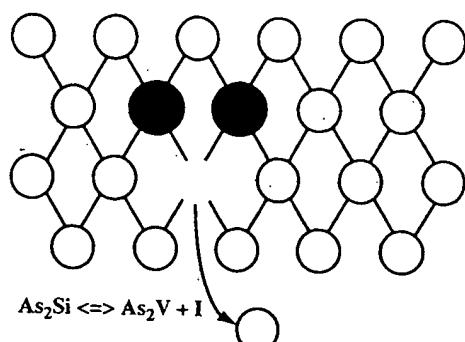


FIG. 2. Schematic diagram representing the formation of an As_2V cluster by kickout of a silicon interstitial.

laser annealed samples, it is particularly appealing as a significant percentage of the arsenic is in As_2Si clusters for the higher concentrations, assuming a random initial distribution.³¹ Furthermore, Wichert *et al.* suggested that the AsV_2 cluster was present through perturbed angular correlation measurements showing the existence of an $InAs_2$ cluster (a similar configuration to the cluster) while observing an absence of larger clusters.³²

If such an interstitial kickout process occurs, it may be easily detected as it will enhance the diffusion of nearby dopants. This phenomena has been observed in an earlier article where a buried boron marker layer detected a large interstitial injection during arsenic deactivation.⁵ More recently, we have observed this same effect for samples where the arsenic was either implanted or in-diffused from polysilicon and showed its impact on electrical devices.^{33–36} In addition, during the deactivation process, transmission electron microscopy (TEM) detected a considerable amount of interstitial dislocation loops whose density increased with deactivated dose even though the implant damage had been removed by the laser melt process.³⁷ Furthermore, a recent positron annihilation study with these samples has confirmed the presence of vacancies in the large concentrations required for the deactivation process and that these vacancies are decorated with arsenic atoms.^{38,39} Parisini *et al.*, through a combination of double-crystal x-ray diffractometry and EXAFS have shown that while a global contraction of the lattice exists in the heavily arsenic doped regions, a local expansion occurs about an arsenic atom.⁴⁰ From these results, they have suggested that an interstitial injection occurs as a result of the formation of As_2V clusters.

It is important to distinguish this diffusion effect from the emitter push effect for phosphorus diffusion which also exhibits enhanced diffusion of a boron layer.⁴¹ For arsenic emitters, there have been earlier reports of arsenic retarding the boron diffusion presumably because of the field effect of the high concentration *n* type dopant.^{42–44} The first report on emitter push for arsenic showed quite a small effect and only at very high boron doping concentration in the base.⁴⁵ A much more conclusive study showed an enhanced diffusion phenomena for in-diffusion from arsenosilicate glass with low temperature anneals causing arsenic deactivation.^{46,47} A good review of all these earlier observations can be found in Ref. 41.

II. EXPERIMENT

The experiments used boron doped ($9 \times 10^{14} \text{ cm}^{-3}$) Czochralski (CZ) (100) silicon wafers. An epitaxial buffer layer of 100–200 nm of undoped silicon was first grown to eliminate any effects from the original substrate/epi interface. A layer of 200 nm of 10^{18} cm^{-3} boron doped silicon was then grown, followed by an undoped layer of 400 nm in dichlorosilane at 800 °C at a pressure of 60 Torr.⁵ Arsenic was then implanted at 35 keV and a 7° tilt. The wafers were then laser melt annealed to a depth of 200 nm.⁴⁸ This laser melt anneal had three purposes: to obtain a fully electrically active initial profile, to obtain a flat arsenic concentration, and to remove implant damage. No significant diffusion of

TABLE I. Time study at 750 °C and temperature study at 500 °C.

Total dose (10^{15} cm^{-2})	4	8	16	32
Concentration (10^{20} cm^{-3})	2.3	4.5	9.1	18.9
Depth of layers (Å)	1740	1780	1760	1690
Anneal 15 s at 750 °C				
Enhancement	1000	20971	17763	8205
Active concentration (10^{20} cm^{-3})	2.0	4.0	3.5	3.5
% deactivated	13%	11%	62%	81%
Anneal 8 min at 750 °C				
Average enhancement	173	5400	1539	380
Enhancement (15 s–8 min)	142	4745	984	124
Active concentration (10^{20} cm^{-3})	1.2	2.6	1.9	1.8
Anneal 2 h at 750 °C				
Average enhancement	31	450	235	108
Enhancement (8 min–2 h)	19	90	132	83
Active concentration (10^{20} cm^{-3})	1.0	1.7	1.5	1.6
Anneal 16 h at 750 °C				
Average enhancement	5.65	72	35.3	14.3
Enhancement (2 h–16 h)	1.8	16	6	0.8
Active concentration (10^{20} cm^{-3})	0.7	1.5	1.1	1.2
Anneal 5 min at 500 °C				
Active concentration	2.0	4.2	3.6	4.3
Anneal 50 h at 500 °C				
Active concentration	1.8	1.8	1.6	1.8

the buried boron layer occurred on control wafers during these laser melt anneals. Two different wafer runs were utilized: the first with doses ranging from 4×10^{15} to 3.2×10^{16} arsenic cm^{-2} , while the second included wafers from 1×10^{15} to $1.6 \times 10^{16} \text{ cm}^{-2}$. Tables I and II, respectively, give a complete description of the samples. Several control wafers were also included in each run. For each epitaxy run, there was a control wafer with no implant and no laser anneal in order to verify that the epitaxy itself was not leading to enhanced diffusion. Another was implanted with Ge at 35

keV, with a dose of $8 \times 10^{15} \text{ cm}^{-2}$ and then laser melt annealed. As will be seen, this dose was close to the arsenic dose that produces maximum motion of the buried boron layer. Germanium was selected due to its similar size and mass with respect to arsenic, thus creating very similar strain and implant damage but with no expected deactivation behavior, as Ge is a column IV element—that is, highly soluble in the silicon lattice. Note that the thickness for this Ge concentration was well below the critical thickness for relaxation

TABLE II. Concentration study at 750 °C and temperature study at 600 °C.

Total dose (10^{15} cm^{-2})	1	2	4	6	8	10	16
Concentration (10^{20} cm^{-3})	0.45	1.1	2.3	3.5	4.6	5.6	9.1
Depth of layers (Å)	2210	1810	1740	1730	1750	1780	1760
Anneal 4 min at 750 °C							
Enhancement	19	55	—	6788	7513	3062	901
Active concentration (10^{20} cm^{-3})	0.36	0.99	1.5	2.6	2.8	2.4	1.7
Anneal 2 h at 750 °C							
Average enhancement	—	—	—	746	351	309	—
Enhancement (4 s–2 h)	—	—	—	538	104	214	—
Active concentration (10^{20} cm^{-3})	0.33	0.61	1.2	1.3	1.4	1.2	1.5
Anneal 4 h at 600 °C							
Enhancement	—	144	—	10 ⁵	10 ⁵	—	—
Active concentration (10^{20} cm^{-3})	0.39	0.89	1.5	1.8	1.9	1.8	1.5

MAX As

As extension
 $1.5 \times 10^{15} \text{ cm}^{-2}$ in $0.05 \mu\text{m}$ depth
 Rousseau et al.

TABLE III. Controls for both sample sets.

Dose (10^{15} cm^{-2})	Sample set 1			Sample set 2		
	No implant	No implant	Ge:8	No implant	Si ²⁸ :8	Ge:8 $\times 10^{15} \text{ cm}^{-2}$
Laser melt	No	Yes	Yes	No	Yes	Yes
Anneal 2 h at 750 °C						
Enhancement	No	No	43	No	18	33
Anneal 4 h at 600 °C						
Enhancement	—	—	—	—	1736	5035

of a strained Si-Ge lattice.⁴⁹ In the first run, an additional control wafer was subjected to laser melt annealing but with no implant to verify whether the point defects frozen in during the laser melt process might affect the results. Finally, another control wafer was inserted in the second run which received a Si²⁸ implant at 20 keV and a dose of $8 \times 10^{15} \text{ cm}^{-2}$ to act as a control with no germanium solubility effect. Indeed, the germanium control for the first sample set showed some motion and we postulated that germanium solubility effects could have been the reason even though the samples were below the critical thickness for relaxation.⁴⁹ The control samples are described in Table III.

Samples were annealed in an inert ambient for either short times in a rapid thermal anneal (RTA) or in a furnace for longer times. Note that none of these anneals would normally cause any significant diffusion of either the arsenic or boron layers. Samples were then analyzed by secondary ion mass spectrometry (SIMS) to measure the diffusion of the buried boron layers and of the arsenic itself. Changes in activation were measured by Hall effect measurements assuming uniform deactivation throughout the box-like layer.³¹ For our as-lased samples, the active doses as measured by Hall matched the implant doses within experimental errors. The depths of the layers were characterized by SIMS.

III. RESULTS

A. Time

The first wafer run was utilized to study the deactivation process with time at a temperature of 750 °C. Times used were as lased: 15 s, 8 min, 2 h, and 16 h. The first two anneals were performed in a RTA while the last two were furnace anneals. An example of the results is shown Fig. 3 for the $4.5 \times 10^{20} \text{ cm}^{-3}$ concentration annealed 8 min at 750 °C. This anneal causes substantial arsenic deactivation but also a large diffusion enhancement (5400 ×) for the boron. The most striking evidence of deactivation as the phenomenon responsible for enhanced diffusion comes from the time transient of the effect. Figure 4 shows the evolution of the boron marker layer with the anneal time at 750 °C. By extracting SUPREM⁵⁰ (a silicon process simulator) diffusion enhancements between each time step, we can show that the deactivation and enhanced diffusion are strongly correlated in time, as seen in Figs. 5 and 6. Figure 5 shows the amount of deactivation per unit time as a function of anneal time at

750 °C plotted on a log-log scale. Most of the deactivation occurs for the short times but the process does continue for longer times. Figure 6 shows the diffusion enhancement between time points plotted against anneal time, also on a log-log scale. Here again we note that the enhancement is maximum for short times and decreases as the rate of arsenic deactivation decreases. In fact, depending on concentration, the deactivation rate decreases by 3–4 orders of magnitude from short times to long times while the change in diffusion enhancement for these same times is also 3–4 orders of magnitude. These similarities between the time transient provide a striking confirmation that arsenic deactivation does indeed occur with interstitial kickout, thereby enhancing diffusion. Even for 15 s, a small amount of motion is observed corresponding to large enhancements but with large error bars.

The enhancement is maximum for the $4.5 \times 10^{20} \text{ cm}^{-3}$ concentration while the higher concentrations exhibit less enhancement. This is especially true for the shorter times while the difference is less noticeable for longer times in Fig. 6. The fact that the enhancement is reduced for higher concentrations of inactive arsenic can be explained by the formation

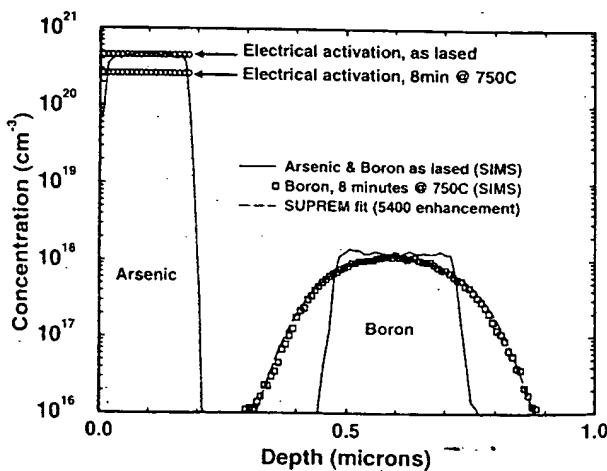


FIG. 3. SIMS data of the structures utilized in the experiment consisting of a buried boron layer capped with undoped epi. Arsenic was then implanted and laser melt annealed, creating a box-like profile at the surface (dotted lines). The SIMS data showed large enhancement in the diffusion of the buried boron layer for this $8 \times 10^{15} \text{ cm}^{-2}$ As dose ($4.5 \times 10^{20} \text{ cm}^{-3}$ peak concentration). A SUPREM fit reveals that the diffusion coefficient was enhanced by a factor of 5400. Also shown is electrical activation levels in the box-like arsenic profile, as determined by Hall measurements.

F
ti
re
o
1
2.
m
co
fo
di
st
in
ca
dif
SIN
che
rev
B. (1
enh:

1
Deactivated arsenic/time ($\text{cm}^3 \text{ minutes}^{-1}$)

FIG. 5.
of anne
centric
and stea
deactiva
final tim

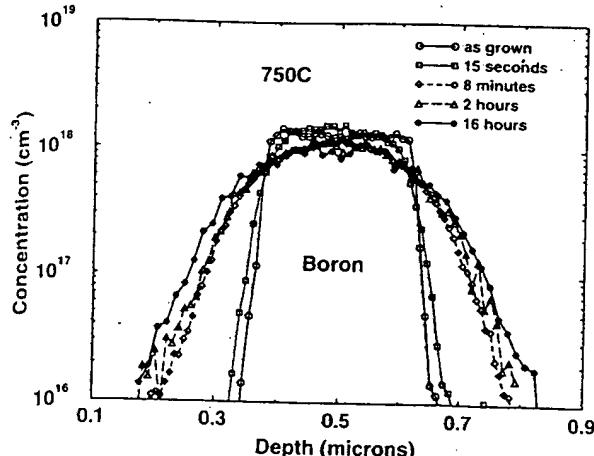


FIG. 4. SIMS data of the buried boron marker layer as a function of anneal time for the $4.5 \times 10^{20} \text{ cm}^{-3}$ concentration. Motion is observed at 15 s corresponding to a large enhancement. By 8 min, most of the motion has occurred although diffusion is still enhanced for the longer times.

of dislocation loops as observed by TEM. These reveal that a $2.3 \times 10^{20} \text{ cm}^{-3}$ concentration shows no dislocation loop formation while they are present for $4.5 \times 10^{20} \text{ cm}^{-3}$ arsenic concentration.³⁷ Although more interstitials are kicked out for the higher arsenic concentrations, they are trapped by the dislocations for less net enhancement.⁵¹ Full results for the time study are found in Table I. Since diffusion of arsenic can also be mediated by interstitials, we would expect that its diffusion would also be enhanced. This is indeed the case. SIMS profiling done with oxygen sputtering, which has less chemical sensitivity than cesium but better depth resolution, reveals the presence of an arsenic diffusion tail after annealing (see Fig. 7).

B. Concentration

The second wafer run was utilized to study diffusion enhancement versus arsenic concentration. As was seen in

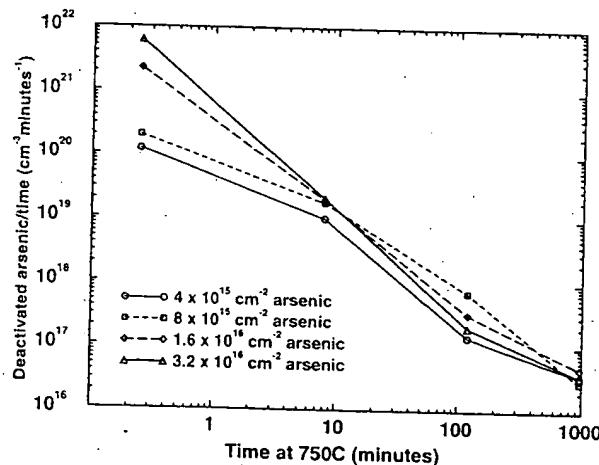


FIG. 5. Rate of deactivation as measured by Hall measurement as a function of anneal time. The rate is highest for 15 s, especially for the higher concentrations while for longer times, the rate is similar for all concentrations and steadily decreases. Note that depending on concentration, the rate of deactivation changes by 3–4 orders of magnitude between initial time and final time.

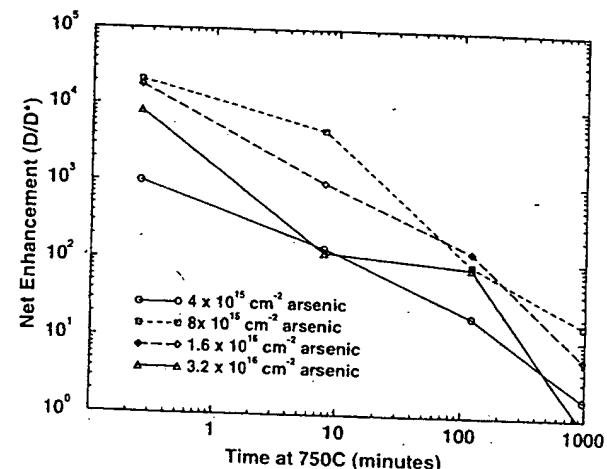


FIG. 6. Net enhancement from SUPREM simulations as a function of anneal time at 750 °C for various concentrations. The enhancement in the diffusion required from one time step to the next is considered the net enhancement, in contrast to an average enhancement calculated from $t=0$. Depending on concentration, the variation in enhancement is 3–4 orders of magnitude.

the time study, we expect maximum enhancement for concentrations between 2 and $8 \times 10^{20} \text{ cm}^{-3}$. The diffusion results for a 4 min RTA anneal at 750 °C are shown Fig. 8. For clarity, we show concentrations up to $3.5 \times 10^{20} \text{ cm}^{-3}$ in Fig. 8(a), while concentrations of $4.5 \times 10^{20} \text{ cm}^{-3}$ and above are shown Fig. 8(b). The results show that up to $2 \times 10^{20} \text{ cm}^{-3}$ concentrations, very little motion is observed. Above this, large enhancements are observed with the maximum occurring for concentrations between 3 and $4 \times 10^{20} \text{ cm}^{-3}$. For longer times at 750 °C as well as 4 h at 600 °C, maximum enhancement is for the $3.5 \times 10^{20} \text{ cm}^{-3}$ concentration. As explained previously, at arsenic higher concentrations, dislocation loops are formed which reduce the amount of enhancement detected in a buried boron layer. For a $2.3 \times 10^{20} \text{ cm}^{-3}$ concentration, the data shown previously for the time study show little enhanced diffusion. Arsenic diffusion tails as a function of concentration also exhibit more diffusion for the intermediate concentrations (Fig. 9). The

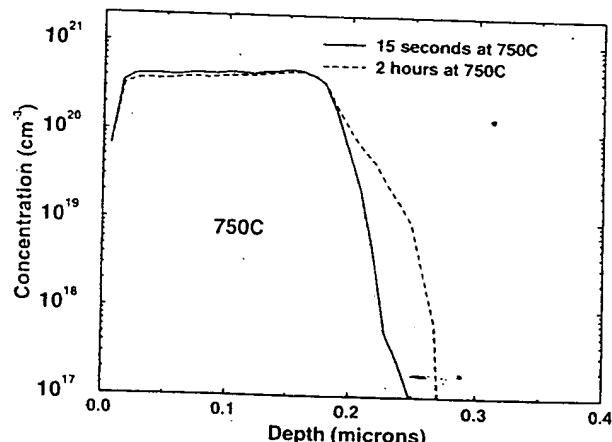


FIG. 7. Arsenic box layer diffusion as a function of time for $4.5 \times 10^{20} \text{ cm}^{-3}$ sample. As expected, the layer does not diffuse significantly, allowing Hall measurements to characterize the activation level. A diffusion tail is observed that is consistent with an interstitial supersaturation.

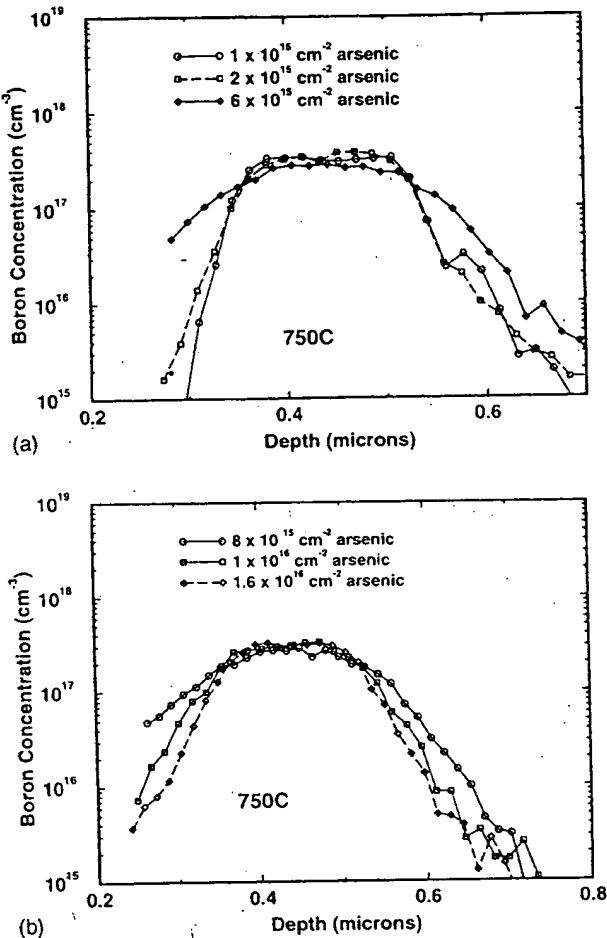


FIG. 8. (a) Boron marker layer for various arsenic surface concentrations annealed 4 min at 750 °C. The motion becomes significant for arsenic concentrations greater than $2 \times 10^{20} \text{ cm}^{-3}$. The front of the boron profile is cut because of interaction with the arsenic surface layer. (b) The same as (a) but for higher arsenic concentrations. Enhancement decreases above $4 \times 10^{20} \text{ cm}^{-3}$ because of dislocation loop nucleation which reduces interstitial supersaturation.

important result to observe is the tail diffusion for the $4.5 \times 10^{20} \text{ cm}^{-3}$ arsenic concentration which results in maximum arsenic motion, in agreement with the results observed for the boron. It is interesting to plot active concentration extracted from Hall data as a function of chemical concentration. This is done for samples annealed for 2 h at 750 °C, as these are the closest to equilibrium in the concentration study. As can be seen in Fig. 10, there is a saturation of the electrical solubility for chemical concentrations above $2 \times 10^{20} \text{ cm}^{-3}$, although some deactivation still occurs for lower chemical concentrations. We note that even for the lowest concentration in our study, $4.5 \times 10^{19} \text{ cm}^{-3}$, some deactivation occurs at 750 °C even though we are under the electrical solubility for that temperature.¹⁷ Actually, the theoretical work by Berding *et al.* does show a very pronounced shoulder in the electrical solubility starting at $2-3 \times 10^{19} \text{ cm}^{-3}$ for 700 °C.²⁴ However, it shows a softer solubility saturation than that observed in Fig. 10 and more work is required on this topic to explain this, as well as verify with our samples whether anomalous deactivation of arsenic is observed at even lower concentrations.⁵²

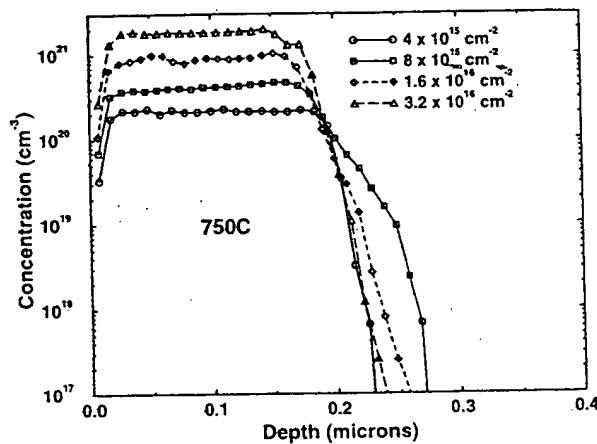


FIG. 9. Arsenic tail diffusion as a function of concentration for a 2 h anneal at 750 °C. The $4.5 \times 10^{20} \text{ cm}^{-3}$ concentration exhibits the most tail diffusion, in agreement with results for the boron marker layer.

C. Temperature

The analysis of enhanced diffusion versus temperature is now described. Although we have described enhanced diffusion for a temperature of 750 °C, we find that it occurs at 600 °C and even as low as 500 °C. In fact, it is expected that as long as deactivation occurs, we would expect to observe enhanced diffusion even for lower temperatures. The features of the diffusion for the 500 °C case are quite interesting. After a 5 min anneal at 500 °C, we observe that there has been some motion of the boron by a rounding of profile edges. This corresponds to a huge enhancement even though the total amount of motion is small. The fact that we do not observe more motion even though significant deactivation has occurred is consistent with this same behavior for 15 s anneals at 750 °C. After 50 h, the motion is clearly seen and the shape of the profile has a characteristic exponential profile instead of Gaussian (Fig. 11). This can be explained either as a single hop diffusion with a long diffusion path or as a solubility effect in the boron where the exponential-like tail arises from the combination of a Gaussian diffusion on the declustered boron with the immobile clustered boron. A

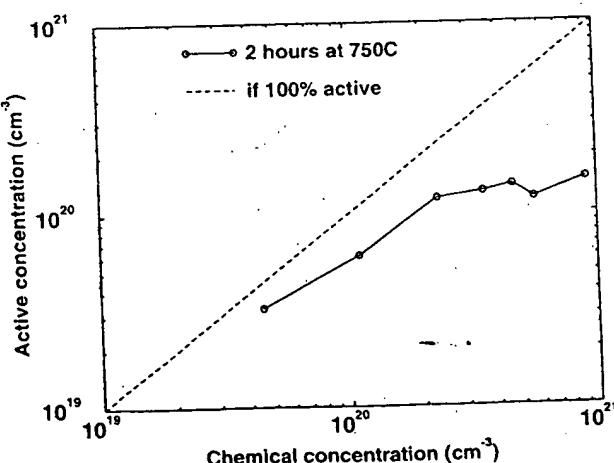


FIG. 10. Active arsenic as a function of total chemical concentration. Also shown is the ideal case where all the arsenic is electrically active (dashed line).

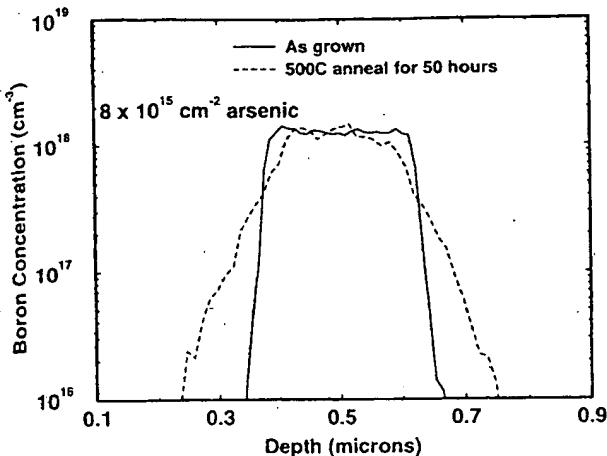


FIG. 11. Boron marker layer after the 50 h anneal at 500 °C for $4.5 \times 10^{20} \text{ cm}^{-3}$ concentration. The shape of the diffusion is clearly not Gaussian but rather exponential. This indicates either boron clustering or a one hop diffusion.

small amount of arsenic motion is also present as demonstrated by Fig. 12. In any case, we cannot extract simple diffusion enhancements at 500 °C from SUPREM for these data because of the profile shape. At 600 °C, enhancements can be extracted and can be as large as 10^5 (Table II).

D. Controls

In these experiments, several controls were utilized as described earlier. Epitaxy quality was monitored by unimplanted samples which exhibited no enhanced diffusion. The sample that was just lased with no implant showed no motion indicating that the laser melt anneal did not freeze in enough excess point defects to influence the boron diffusion. It also confirms that the laser treatment itself did not diffuse the buried layer. The only controls which did show some diffusion were those implanted with either germanium or silicon. In both cases, this enhanced diffusion was much less than what we observed in the case of arsenic. Figure 13 shows the control cases for sample set 2, after a 2 h anneal at

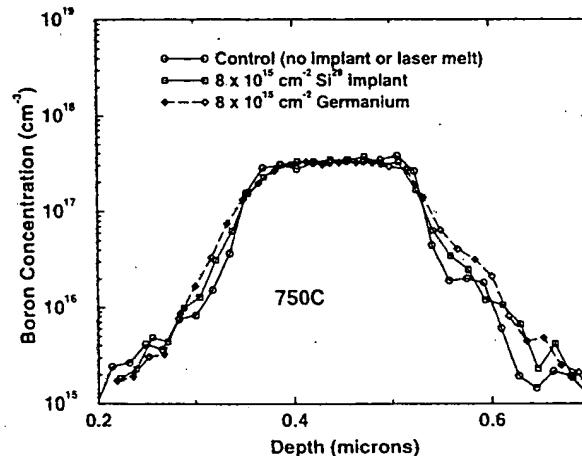


FIG. 13. Control wafers for 2 h anneal at 750 °C for sample set 2. Control shows no motion indicating good epi quality while Si and Ge implants show small amounts of motion. Note that the initial boron marker layer was not as steep as for sample set 1.

750 °C. The germanium control does show a little motion and the reason for this is not well understood. We speculate that this might be due to solubility effects of germanium in silicon (nucleation of precipitates) and this motivated the inclusion of the silicon control. For silicon, the enhancement is small (much smaller than implantation damage enhancements) and still not fully understood. One possibility might be ion channeling beyond the melt depth during implantation, before the amorphizing dose was reached. At 600 °C, although the enhancements are quite large, the amount of motion is actually quite small, resulting in large error bars. What is clear is the definite smoothing of the profiles, indicating some enhanced diffusion. Control samples are described in Table III.

IV. DISCUSSION

These results clearly suggest that electrical deactivation of arsenic injects interstitials resulting in enhanced diffusion. The study of deactivation with time shows that the transients for both phenomena are similar, indicating a relationship. The presence of dislocation loops complicates the analysis. For example, analysis with concentration shows a maximum of diffusivity enhancement for a $3-4 \times 10^{20} \text{ cm}^{-3}$ concentration above which dislocation loops reduce the enhancement. For arsenic concentrations of $1 \times 10^{20} \text{ cm}^{-3}$ and below, very little deactivation occurs. Hence there is a small concentration window to determine whether the interstitial injection scales with the arsenic deactivation dose when dislocations do not occur. Figure 6 reveals that while the enhancement for the $4.5 \times 10^{20} \text{ cm}^{-3}$ concentration is typically more than an order of magnitude greater than that for the $2.3 \times 10^{20} \text{ cm}^{-3}$ concentration, the amount of deactivated arsenic per unit time is typically greater only by a factor of $2 \times$. This difference is not well understood. It may be due in part to the rapid initial deactivation that occurs for the higher concentrations. Assuming a random initial distribution of arsenic atoms after the laser melt anneal, the $4.5 \times 10^{20} \text{ cm}^{-3}$ sample would have four times more As_2Si clusters than that of the $2.3 \times 10^{20} \text{ cm}^{-3}$ sample.

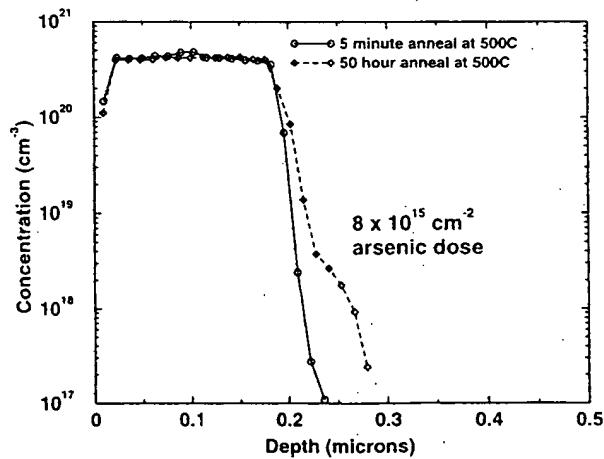


FIG. 12. Arsenic diffusion at 500 °C for 5 min and 50 h anneals for $4.5 \times 10^{20} \text{ cm}^{-3}$ concentration. Diffusion of arsenic shows a small tail, as for 750 °C. A similar profile was observed for the $9.1 \times 10^{20} \text{ cm}^{-3}$ concentration.

It is important to address the various possible causes for enhanced diffusion. Fair has suggested that a mechanism similar to the well known phosphorus emitter push effect may be occurring.⁴¹ In such a case, the enhancement of the boron should just depend on the diffusion of a high concentration arsenic layer and not on how strongly active it is. However, we observe a transient in the enhancement that is well matched with the transient for deactivation. The only way we could explain this transient with a phosphorus-like kink and tail diffusion effect is to assume that the inactivity of the arsenic renders it immobile and hence it would not contribute to the enhancement. In such a case the fact that more arsenic is active and mobile initially could explain a small transient. This explanation is not satisfactory as the difference in enhancement with time is quite large (3–4 orders of magnitude) and similar to that of the deactivation, while the difference between active and inactive populations is much smaller (a factor of 2). Finally, we have shown that it is the order of the anneals and the process of deactivating that is critical, not the anneals themselves.³⁴ The phosphorous push effect results from the fact that phosphorus is a rapid diffuser but this is not the case for arsenic.⁵³ These reasons indicate that this explanation is not the cause for the enhanced diffusion.

Another possible explanation for the enhanced diffusion has been advanced by Hu.⁵⁴ He reasons that the anomalous diffusion seen by Shibayama *et al.*⁴⁶ is the result of point defect populations as they go from their higher temperature equilibrium to the lower temperature. Our control experiments allow us to rule out this explanation at least for uncharged point defects since the controls see the same temperature anneals with the associated point defect populations but exhibit little or no enhanced diffusion. Even for charged defects, Hu's model would not explain why very little enhancement is observed below $2 \times 10^{20} \text{ cm}^{-3}$ but much more is present for $3 \times 10^{20} \text{ cm}^{-3}$ and above. However the fact that these numbers are close to the electrical solubility supports the deactivation hypothesis. Finally, we restate some of the physical evidence that supports the deactivation model. Although the presence of a surface allows these point defects to form or recombine independently, the presence of large supersaturations of interstitials, as witnessed in the dislocation loops observed in these samples³⁷ as well as large concentrations of vacancies in the deactivated samples,³⁸ is more in accordance with the proposed deactivation mechanism.

The mechanism of interstitial kickout to form deactivated structures is consistent with much of the published evidence. TEM observations have observed dislocation loops but were unable to account for all the inactive arsenic by counting those loops.^{16,37} Parisini *et al.* have identified these loops as interstitial in nature.⁴⁰ These loops follow a very similar trend with respect to dose and the types of dislocation loops seen for implants.⁵⁵ For lower concentrations and interstitial supersaturations, rod-like defects appear while at higher concentrations, smaller and more numerous dislocation loops form. Hirota *et al.*⁵⁶ have shown the appearance of dislocation loops with arsenic for anneals that cause deactivation. Their work clearly shows dislocation loops forming during a deactivation anneal of 6 h at 850 °C. This is not

only true when the arsenic is implanted but also when it is in-diffused from polysilicon, a case where there would be no residual implant damage. TEMs show no dislocation loops after the high temperature in-diffusion of arsenic from poly, but show formation occurring only after the lower temperature deactivation anneal. For lower concentrations, they observe no dislocation loops for both cases: implant and in-diffusion from polysilicon. These results are in accord with diffusion enhancements measured for these methods of introducing arsenic.³⁴

Although we have just presented enhanced diffusion during a deactivation following a laser melt anneal, there is evidence that enhanced diffusion can occur during any deactivation whether following solid phase regrowth or in previously deactivated and reactivated arsenic. Device experiments have shown enhanced diffusion during arsenic deactivation following a RTA activation right before back end processing of bipolar complementary metal-oxide-semiconductor (BiCMOS) wafers.^{33,34} This indicates that each activation/deactivation cycle in a fabrication process due to processing steps at various temperatures can result in enhanced diffusion. Although this is not well understood, we propose the following possibility. During a RTA activation some vacancy clusters break up, which may lead to the formation of active As_nSi clusters as well as isolated active arsenic atoms. In the following deactivation, the As_nSi clusters may generate new interstitials by repeating the kickout process. This whole process can be repeated but does require a source of interstitials. These may be supplied indirectly by the recombination of vacancies with either the surface, dislocation loops, or by Frenkel recombination.

V. CONCLUSION

In conclusion, we have presented experiments that show that arsenic deactivation enhances diffusion for low temperature anneals. The explanation proposed is the formation of an As_nV cluster by kickout of the associated interstitial. Strong correlations in the time transients of enhanced diffusion and deactivation indicate that the latter is the cause for the former. In addition, previously published evidence supports this model.

ACKNOWLEDGMENTS

The authors would like to acknowledge the tremendous help of Robin King for epitaxy, as well as Paul Carey at Lawrence Livermore National Labs for laser annealing. This work was supported by the Semiconductor Research Corporation.

¹ A. Lietola, J. F. Gibbons, and T. W. Sigmon, *Appl. Phys. Lett.* **36**, 765 (1980).

² A. Lietola, R. B. Gold, J. F. Gibbons, T. W. Sigmon, P. D. Scovell, and J. M. Young, *J. Appl. Phys.* **52**, 230 (1981).

³ J. Goetzlich, *Mater. Res. Soc. Symp. Proc.* **45**, 349 (1985).

⁴ S. Luning, P. M. Rousseau, P. B. Griffin, P. G. Carey, and J. D. Plummer, *Tech. Dig. Int. Electron Devices Meet.*, 457 (1992).

⁵ P. M. Rousseau, P. B. Griffin, and J. D. Plummer, *Appl. Phys. Lett.* **65**, 578 (1994).

⁶ R. O. Schwenker, E. S. Pan, and R. F. Lever, *J. Appl. Phys.* **42**, 3195 (1971).

⁷R. B. Fair and G. R. Weber, *J. Appl. Phys.* **44**, 273 (1973).

⁸M. Y. Tsai, F. F. Morehead, J. E. E. Baglin, and A. E. Michel, *J. Appl. Phys.* **51**, 3230 (1980).

⁹S. Pandey, A. Erbil, G. S. Cargill III, R. F. Boehme, and D. Vanderbilt, *Phys. Rev. Lett.* **61**, 1282 (1988).

¹⁰R. Subrahmanyam, M. Orlowski, and G. Huffman, *Tech. Dig. Int. Electron Devices Meet.*, 749 (1990).

¹¹R. Subrahmanyam, M. Orlowski, and G. Huffman, *J. Appl. Phys.* **71**, 164 (1992).

¹²H. Bauer, P. Pichler, and H. Ryssel, in *Proceedings of the 24th European Solid State Device Research Conference*, edited by C. Hill and P. Ashburn (Editions Frontières, France, 1994), pp. 93–96.

¹³H. Bauer, P. Pichler, and H. Ryssel, *IEEE Trans. Semicond. Manuf.* **8**, 414 (1995).

¹⁴D. Nobili, A. Carabelas, G. Celotti, and S. Solmi, *J. Electrochem. Soc.* **130**, 922 (1982).

¹⁵R. Angelucci, G. Celotti, D. Nobili, and S. Solmi, *J. Electrochem. Soc.* **132**, 2727 (1985).

¹⁶A. Armigliato, D. Nobili, S. Solmi, A. Bourret, and P. Werner, *J. Electrochem. Soc.* **133**, 2560 (1986).

¹⁷D. Nobili, S. Solmi, A. Parisini, M. Derdour, A. Armigliato, and L. Moro, *Phys. Rev. B* **49**, 2477 (1994).

¹⁸T. Wadsten, *Acta Chem. Scand.* **19**, 1232 (1965).

¹⁹S. Luning, Ph.D. dissertation, Stanford University, 1995.

²⁰W. K. Chu and B. J. Masters, *AIP Conf. Proc.* **50**, 305 (1979).

²¹C. Brizard, J. R. Regnard, J. L. Allain, A. Bourret, M. Dubus, A. Armigliato, and A. Parisini, *J. Appl. Phys.* **75**, 126 (1994).

²²G. S. Cargill III, J. Angilello, and K. L. Kavanagh, *Phys. Rev. Lett.* **61**, 1748 (1988).

²³A. Herrera-Gómez, P. M. Rousseau, G. Materlik, T. Kendelwicz, J. C. Woicik, P. B. Griffin, J. D. Plummer, and W. E. Spicer, *Appl. Phys. Lett.* **68**, 3090 (1996).

²⁴M. A. Berding, A. Sher, M. van Schilfgaarde, P. M. Rousseau, and W. E. Spicer, *Appl. Phys. Lett.* **72**, 1492 (1998).

²⁵M. Ramamoorthy and S. T. Pantelides, *Phys. Rev. Lett.* **61**, 1282 (1988).

M. Rousseau, P. B. Griffin, P. G. Carey, and J. D. Plummer, *Proc. Electrochem. Soc.* **93**, 130 (1993).

²⁷J. L. Allain, J. R. Regnard, A. Bourret, A. Parisini, A. Armigliato, G. Tourillon, and S. Pizzini, *Phys. Rev. B* **46**, 9434 (1992).

²⁸A. Erbil, G. S. Cargill III, and R. F. Boehme, *Mater. Res. Soc. Symp. Proc.* **41**, 275 (1985).

²⁹A. Erbil, W. Weber, G. S. Cargill III, and R. F. Boehme, *Phys. Rev. B* **34**, 1392 (1986).

³⁰R. Subrahmanyam, M. Orlowski, and A. R. Sitaram, *Proc. Electrochem. Soc.* **93**, 120 (1993).

³¹P. M. Rousseau, Ph.D. dissertation, Department of Applied Physics, Stanford University, 1996.

³²Th. Wichert and M. L. Swanson, *J. Appl. Phys.* **66**, 3026 (1989).

³³P. M. Rousseau, P. B. Griffin, S. C. Kuehne, and J. D. Plummer, *Tech. Dig. Int. Electron Devices Meet.*, 861 (1994).

³⁴P. M. Rousseau, P. B. Griffin, S. C. Kuehne, and J. D. Plummer, *IEEE Trans. Electron Devices* **43**, 547 (1996).

³⁵S. W. Crowder, P. M. Rousseau, J. P. Snyder, J. A. Scott, P. B. Griffin, and J. D. Plummer, *Tech. Dig. Int. Electron Devices Meet.*, 427 (1995).

³⁶P. M. Rousseau, S. W. Crowder, P. B. Griffin, and J. D. Plummer, *IEEE Electron Device Lett.* **18**, 42 (1997).

³⁷O. Dokumaci, P. Rousseau, S. Luning, V. Krishnamoorthy, K. S. Jones, and M. E. Law, *J. Appl. Phys.* **78**, 828 (1995).

³⁸D. W. Lawther, U. Myler, P. J. Simpson, P. M. Rousseau, P. B. Griffin, and J. D. Plummer, *Appl. Phys. Lett.* **67**, 3575 (1995).

³⁹U. Myler, P. J. Simpson, D. W. Lawther, and P. M. Rousseau, *J. Vac. Sci. Technol. B* **15**, 757 (1997).

⁴⁰A. Parasini, A. Bourret, A. Armigliato, M. Servidori, S. Solmi, R. Fabbri, J. R. Regnard, and J. L. Alain, *J. Appl. Phys.* **67**, 2320 (1990).

⁴¹R. B. Fair, "Concentration profiles of diffused dopants in silicon," in *Impurity Doping Processes in Silicon*, edited by F. F. Y. Yang (North-Holland, New York, 1981), p. 426.

⁴²S. M. Hu and S. Schmidt, *J. Appl. Phys.* **39**, 4272 (1968).

⁴³M. Okamura, *Jpn. J. Appl. Phys.* **7**, 1067 (1968).

⁴⁴R. B. Fair, *J. Appl. Phys.* **44**, 283 (1973).

⁴⁵P. C. Parekh and K. Kolmann, *Solid-State Electron.* **17**, 395 (1974).

⁴⁶H. Shibayama, H. Masaki, and H. Hashimoto, *Appl. Phys. Lett.* **27**, 230 (1975).

⁴⁷H. Shibayama, H. Masaki, H. Ishikawa, and H. Hashimoto, *J. Electrochem. Soc.* **123**, 742 (1976).

⁴⁸P. G. Carey, K. H. Weiner, and T. W. Sigmund, *IEEE Electron Device Lett.* **9**, 542 (1988).

⁴⁹D. C. Houghton, C. J. Gibbings, C. G. Tuppen, M. H. Lyons, and M. A. G. Halliwell, *Thin Solid Films* **183**, 171 (1989).

⁵⁰M. E. Law, C. S. Rafferty, and R. W. Dutton, *SUPREM-IV Users Manual* (Stanford Electronics Laboratories, 1988).

⁵¹D. J. Roth, R. Y. S. Huang, J. D. Plummer, and R. W. Dutton, *Appl. Phys. Lett.* **62**, 2498 (1993).

⁵²L. J. Borucki, *Tech. Dig. Int. Electron Devices Meet.*, 753 (1990).

⁵³S. M. Hu, P. Fahey, and R. W. Dutton, *J. Appl. Phys.* **54**, 6912 (1983).

⁵⁴S. M. Hu, *Mater. Sci. Eng.* **13**, 105 (1994).

⁵⁵K. S. Jones, S. Prussin, and E. R. Weber, *Appl. Phys. A: Solids Surf.* **45**, 1 (1988).

⁵⁶S. Hirota, M. Miyake, S. Nakayama, E. Arai, and J. Murota, *J. Electrochem. Soc.* **137**, 318 (1990).

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.